طراحی مرجع ولتاژ زیر یک ولت قابل کاشت در بدن با دقت ppm/میکرومتر۱۵ با استفاده از ترانزیستورهای ذاتی(Native)

پرویز امیری[۱] آوا هدایتی پور[۲] شقایق اصلان زاده[۳]

۱- استادیار- دانشکده مهندسی برق- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران
pamiri@srttu.edu

۲- کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه تربیت دبیر شهید رجایی - تهران- ایران
ava.hedayati@srttu.edu

۲- کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه تربیت دبیر شهید رجایی - تهران- ایران
؟ آدرس پست الکترونیکی

چکیده: **در این مقاله با توجه به افزایش نیاز به مراجع ولتاژ با توان مصرفی و ولتاژ تغذیه پایین به خصوص در تجهیزات پزشکی، یک مرجع ولتاژ، با استفاده از اختلاف ولتاژ آستانه(Vth) یک ترانزیستور ذاتی(Native) و یک ترانزیستور معمولی اثر میدان(FET) ارائه شده است. پس از شبیه سازی با استفاده از تکنولوژی ۰،۱۸، مقدار ضریب دمایی ppm°C15 و مقدار حساسیت خط ٪V0.98/ بدست آمد. حداقل ولتاژ تغذیه برای این مدار ۰،۷ و توان مصرفی در دمای اتاق ۷۰۰ نانو وات و ولتاژ خروجی ۳۷۰ میلی آمپر است که این مرجع را برای تجهیزات نانو آمپری مناسب می‌سازد. در انتها برای بی‌اثر کردن تغییرات پروسه یک روش برای تنظیم دیجیتال این نوع مراجعولتاژ ارائه شده است.**

کلمات کلیدی: **مرجع ولتاژ CMOS،ترانزیستورهای ذاتی،توان مصرفی پایین، جبران دمایی، تنظیم دیجیتال.**

تاریخ ارسال مقاله: ۱۳۹۴/۰۳/۰۵
تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۰۴/۲۷
تاریخ پذیرش مقاله: ۱۳۹۵/۰۷/۱۳
نام نویسنده‌ی مسئول: دکتر پرویز امیری
نشانی نویسنده‌ی مسئول: ایران – تهران – لویزان – دانشگاه تربیت دبیر شهید رجایی – دانشکده‌ی برق

[Downloaded from jiaeee.com on 2026-10-14]
[DOR: 20.1001.1.26765810.1396.14.2.11.4]
Journal of Iranian Association of Electrical and Electronics Engineers Vol14 No.2 Summer 2017

۱- مقدمه

امروزه میکرو الکترونیک یکی از ابزارهای قدرتمند سیستم‌های الکترونیکی برای کاربردهای قابل کاشت در بدن است. ارتباط بین پزشکی و تکنولوژی به رشد سیستم‌های تشخیص بیماری‌های عصبی کمک می‌کند. طراحی سنسورهای مربوط به این سیستم‌ها، هدف قرار دادن تمام سیستم در داخل بدن را دنبال می کند. اما سیستم‌های تشخیص بیماری‌های عصبی شامل قسمت های زیادی مانند تقویت‌کننده، قسمت‌های کنترلی و مرجع ولتاژ[۱] هستند که برای قرار گرفتن تمام این قسمت ها در بدن محدودیت‌های بسیاری وجود دارد. کم بودن توان مصرفی مدارها برای جلوگیری از گرم شدن محلی بافت از اهمیت بالایی برخوردار است، به همین دلیل طراحی یک مرجع ولتاژ با سطح و توان مصرفی کم از مهم‌ترین بخش‌های سیستم قابل کاشت در بدن است.

مرجع ولتاژ یک مدار الکترونیکی است که صرف نظر از بار، تغییرات منبع تغذیه، تغییرات دما و گذر زمان ولتاژ ثابت تولید می‌کند. مراجع ولتاژ در تنظیم کننده‌های ولتاژ منبع‌تغذیه، مبدل‌های آنالوگ به دیجیتال، دیجیتال به آنالوگ و هزاران سیستم اندازه‌گیری و کنترل دیگر استفاده می‌شوند. همچنین در اختیار داشتن یک مرجع ولتاژ دقیق در طراحی بسیاری از مدارها مانند نوسانگر،PLL ها و مبدل‌های داده از اهمیت بالایی برخوردار است[۱].

راه‌کارهای زیادی برای طراحی مراجع ولتاژ در ترانزیستورهای اثر میدان وجود دارد. معمول‌ترین روش ساخت مراجع ولتاژ شکاف باند با استفاده از ترانزیستورهای اتصال دوقطبی[۲] پارازیتی است. برای ایجاد یک خروجی که به دما حساس نیست، مراجع ولتاژ شکاف باند به صورت خطی، دو ولتاژ با خواص دمایی مخالف را ترکیب می‌کند: دمای معکوس به مطلق (CTAT)[۳] و دمای متناسب به مطلق (PTAT)[۴]. یک روش دیگر جریان‌های PTAT و CTAT را به جای ولتاژ ترکیب می‌کند تا یک خروجی مستقل از دما به وجود آورد[۲].

همانطور که در[۱] و [۲] آورده شده است، ولتاژ خروجی در مرجع شکاف باند تغییرات کمی نسبت به ولتاژ ورودی و ضریب درجه حرارت بسیار کوچکی دارد و همچنین در برابر تغییرات پروسه پایدار است. با این حال، در حال حاضر مهمترین عامل در طراحی تراشه توان مصرفی کم و ولتاژکار پایین است که باعث انتخاب فن آوری ترانزیستورهای اثر میدانی می‌شود. مرجع ولتاژ شکاف باند در حالت عادی از ترانزیستور های اتصال دو قطبی استفاده می‌کند و هنگامی که ولتاژ تغذیه کمتر از یک ولت شود، مرجع شکاف باند معمولی ثبات خوبی را نشان نمی‌دهد. بنابراین، طراحان تراشه به طراحی مدارهایی رو آورده‌اند که می‌تواند در تکنولوژی ترانزیستورهای اثر میدانی[۵] با هزینه کم اجرا شود و عملکرد آنها قابل مقایسه با عملکرد منابع ولتاژ شکاف باند باشد[۳, ۴].

در همین راستا، ساخت مراجع ولتاژ با استفاده از دو قطعه با ولتاژهای آستانه متفاوت ارائه شد که می‌تواند با ناخالص کردن گیت برای داشتن یک ولتاژ آستانه مشخص یا کاشت کانال انتخابی[۶] ، خروجی پایداری بدست آورد. همچنین می‌توان ولتاژ خروجی پایداری بر اساس یافتن اختلاف بین ولتاژهای گیت-سورس برای دو ترانزیستور با لایه های متال اکسید سیلیکن متفاوت بدست‌آورد [۵, ۶].

این روش با مشکلاتی همراه بود که ساخت مرجع ولتاژ با استفاده از ترانزیستورهای ذاتی[۷] که در این مقاله ارائه شده است، پاره‌ای از این مشکلات را برطرف می کند.

در این مقاله پس از مقدمه در بخش ۲ علت استفاده از مراجع ولتاژ CMOS و فواید استفاده از ترانزیستورهای ذاتی برای مراجع ولتاژ با استفاده از ولتاژ آستانه آورده شده است. در بخش ۳ مرجع ولتاژ پیشنهادی با استفاده از یک ترانزیستور ذاتی و یک ترانزیستور معمولی به همراه جزئیات ان تشریح شده است. بخش ۴ شامل تحلیل ولتاژ آستانه و اثر تغییرات دما برای این پارامتر است، در بخش ۵ نتایج شبیه سازی‌های آورده شده است و در بخش ۶ روشی برای تنظیم دیجیتال پس از ساخت ارائه شده است. در بخش ۷ نیز نتیجه در جدولی با سایر مراجع ولتاژ مقایسه و تحلیل می‌شود.

۲- تقسیمات مرجع ولتاژ با استفاده از اختلاف ولتاژهای آستانه

برای مدت زیادی، منابع شکاف باند به عنوان مرجع ولتاژ در زمینه‌های کاربردی مختلف استفاده می شد. مرجع ولتاژ شکاف باند دارای ولتاژ خروجی پایدار در برابر دما و تغییرات فرایند هستند. اما این منابع ولتاژ معمولا ازترانزیستورهای اتصال دوقطبی استفاده می‌کنند و به این علت که اساس کار آن‌ها استفاده از ولتاژ بیس امیتر است، قابلیت کار در ولتاژهای پایین را ندارند. به صورت کلی هنگامی که ولتاژ تغذیه کمتر ازحدود v۱,۲ باشد یک مرجع ولتاژ شکاف باند معمولی قابلیت کار درست خود را از دست می‌دهد. به همین دلیل طراحان تراشه رو به استفاده از ترانزیستورهای CMOS آوردند. [۱]

گام اول برای تحقق بخشیدن به یک مرجع ولتاژ با استفاده از ترانزیستورهای CMOS، بدست آوردن یک ولتاژ واحد پایدار است. یک پارامتر معمولی در فرآیند ترانزیستورهای اثر میدانی ولتاژ آستانه است. می‌دانیم ولتاژ آستانه به دما وابسته است و نمی‌تواند به عنوان یک مرجع در بازه‌ی گسترده‌ای از دما مورد استفاده قرار گیرد.

در تکنیک استفاده از چند آستانه، که در آن ترانزیستور با ولتاژهای آستانه متفاوت ساخته می‌شوند، تفاضل دو ولتاژ آستانه می‌تواند به لغو پارامترهای حساس به دما در ولتاژ آستانه منجر شود. بنابراین، تفریق ولتاژهای آستانه را می‌توان برای طراحی ولتاژ مرجع با استفاده از ترانزیستورهای اثر میدانی استفاده نمود.

در این روش با کنترل فرآیند خوب که باعث می‌شود ضریب دمایی دو ولتاژ آستانه ترانزیستورها به یکدیگر نزدیک باشد به یک مرجع ولتاژ با حساسیت کم نسبت به دما می‌رسیم. اختلاف بین ولتاژ آستانه‌ی این

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.14- No.2 Summer 2017

[Downloaded from jiaeee.com on 2026-10-14]

[DOR: 20.1001.1.26765810.1396.14.2.11.4]

دو نوع ترانزیستور و مشخص بودن تغییرات ولتاژ آستانه با دما، این نوع مرجع ولتاژ را امکان پذیر ساخته است.

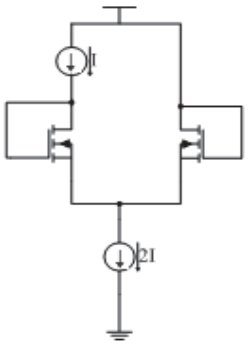
تا کنون در این روش از پیاده سازی منابع ولتاژ، نیاز به گام‌های اضافی در پروسه ساخت بود که به پیاده سازی قطعاتی با چند ولتاژ آستانه منجر می شد، این موضوع وابستگی بالای این مدارها به پروسه ساخت و در نتیجه داشتن تغییرات ناشی از پروسه[۸] را در پی دارد. همچنین بالا بردن ولتاژ آستانه از سطح معمول برای ترانزیستورهای اثر میدانی، برای داشتن اختلاف ولتاژ می‌تواند باعث بالا رفتن توان مصرفی و حداقل ولتاژ مورد نیاز برای کار شود که در تجهیزاتی ولتاژ پایین که امروزه مورد توجه هستند، مانند قطعات پزشکی، مطلوب نیست[۷]- [۸] .

استفاده از ترانزیستورهای ذاتی در این نوع مراجع ولتاژ برای رفع این مشکلات مناسب است. قطعه ذاتی مشابه یک ترانزیستور اثر میدان استاندارد است، اما ولتاژ آستانه‌ی نزدیک به صفر دارد. قطعات ذاتی به طور گسترده ای در فن آوری‌های ساخت مدرن در دسترس هستند و نیازمند انجام مراحلی، مانند اعمال ماسک‌های اضافی در پروسه ساخت، نیست. یک استفاده متداول از ترانزیستورهای ذاتی برای محدود کردن ولتاژ بین درین و سورس در دستگاه‌هایی با اکسید نازک، اتصال آنها به صورت سری است.آنها همچنین در مدارهای ولتاژ مرجع شکاف باند و سنسورهای تصویر استفاده می‌شود.

۳- مرجع ولتاژ با استفاده از اختلاف ولتاژهای آستانه

مدار ساده شده‌ی مرجع ولتاژ بر اساس تفاوت بین ولتاژهای گیت و سورس برای دو ترانزیستور اثر میدانی در شکل ۱ نشان داده شده است. هر دو ترانزیستور در ناحیه اشباع کار می‌کنند. مشخصه جریان ولتاژ یک ترانزیستور NMOS در ناحیه معکوس ضعیف و میانه می‌تواند با این معادله سهمی تخمین زده شود[۹]:

$$I_d = \frac{\mu C_{ox}}{2}\frac{W}{L}(V_{GS}-V_{th})^2(1+\lambda V_{DS}) \qquad (۱)$$



شکل(۱): یک مدار معمول مرجع ولتاژ بر اساس اختلاف V_{th}

که در آن μقابلیت تحرک الکترونها در کانال، Cox خازن اکسید در واحد سطح، Vth ولتاژ آستانه، λ ضریب مدولاسیون طول کانال و W و L به ترتیب طول و عرض کانال هستند. با در نظر گرفتن (۱) و صرفنظر از مدولاسیون طول کانال (λ=0) ولتاژ مرجع به صورت زیر نوشته می‌شود:

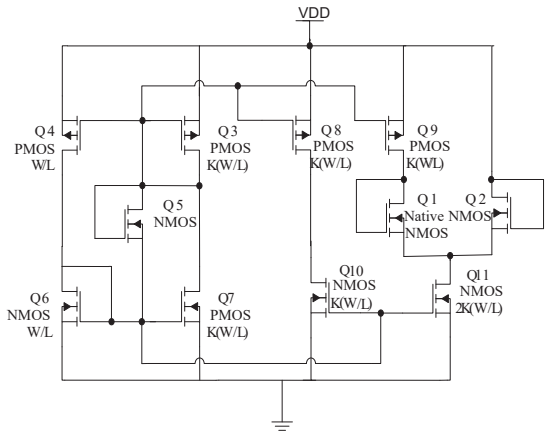
$$V_{REF} = V_{GS2} - V_{GS1} = V_{th2} - V_{th1} + \sqrt{2I}\left(\sqrt{\frac{1}{k_2}} - \sqrt{\frac{1}{k1}}\right) \qquad (۲)$$

که در آن جریان Iدر شکل ۱ نشان داده شده است، زیرنویسi مقادیر متعلق به ترانزیستور Qi را نشان می‌دهد و ki=μCox(Wi/Li). مشتق این رابطه نسبت به دما با استفاده از رابطه (۳) بیان می‌شود.

$$\frac{\partial V_{ref}}{\partial T} = \frac{\partial(|V_{TH1}|-|V_{TH1}|)}{\partial T} + \frac{1}{2\sqrt{I}}\left(\frac{1}{\sqrt{k_1}}-\frac{1}{\sqrt{k_2}}\right)\frac{\partial I}{\partial T} + \frac{\sqrt{I}}{2}\left(\frac{1}{\mu_2\sqrt{k_2}}\frac{\partial \mu_2}{\partial T}-\frac{1}{\mu_1\sqrt{k_1}}\frac{\partial \mu_1}{\partial T}\right) \qquad (۳)$$

همانطور که در رابطه (۳) دیده می‌شود، برای کاهش وابستگی VREF به دما برای I و kiیعنی قابل صرفنظر بودن ترم‌های دوم و سوم،یک بایاس کوچک برای داشتن Vth2-Vth1 ≅ Vrefبایداعمال شود.

مرجع ولتاژ طراحی شده پس از قرار دادن منابع جریان در شکل ۲ قابل مشاهده است، نسبت طول به عرض ترانزیستورهای مختلف نیز بر روی شکل آمده است. برای مصرف توان کم از منبع و آیینه‌های جریان ساده استفاده شده است. در صورت نداشتن محدودیت در توان مصرفی یا حداقل ولتاژ مورد نیاز برای کار می‌توان از منبع ولتاژ کسکود یا سایر منابع جریان برای نزدیک‌تر کردن این منابع به منابع ایده‌آل استفاده کرد.



شکل(۲): مرجع ولتاژ طراحی شده

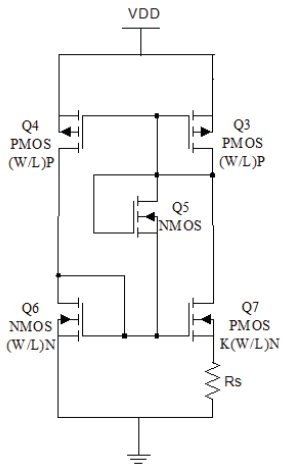
[Downloaded from jiaeee.com on 2026-10-14]

[DOR: 20.1001.1.26765810.1396.14.2.11.4]
Journal of Iranian Association of Electrical and Electronics Engineers Vol14 No.2 Summer 2017

در شکل ۲ ترانزیستورهـای Q3، Q4، Q6 و Q7 منبـع جریـان اصـلی هستند، ترانزیستور Q5 برای شروع به کار مدار قرار داده شده است و با رسیدن مدار به حالت پایدار قطع شده و از مدار خارج می‌شود، پـس از بایاس درست ترانزیستورهای Q4 و Q6، ترانزیستورهای Q3 و Q7 بـا توجه به نسبت طول به عرض آن‌ها جریان را k برابر می‌کنند:

$$I_{ref\,(Q_6)} = KI_{out(Q7)} \qquad (۴)$$

در صورتی که نیاز به استفاده از جریان‌های پایین‌تر باشـد، مـی‌تـوان از مدار شکل ۳ استفاده کرد، روابط مربوط به این منبـع جریـان بـه ایـن صورت تعریف می‌شود:



شکل (۳): منبع جریان برای جریان‌های کوچک

$$\sqrt{\frac{2I_{out(Q7)}}{\mu_n C_{ox}(\frac{W}{L})_N}} + V_{TH6} = \sqrt{\frac{2I_{out(Q7)}}{\mu_n C_{ox}(\frac{W}{L})_N}} + V_{TH7} + I_{out(Q7)}R_S \qquad (۵)$$

$$I_{out(Q7)} = \frac{2}{\mu_n C_{ox}(\frac{W}{L})_N}.\frac{1}{R_S^2}(1-\frac{1}{\sqrt{K}})^2 \qquad (۶)$$

ترانزیستور Q9 نقش آیینه را برای منبع جریان ما دارد و جریان Iرا بـه ترانزیستور Q1 اعمال می‌کند، ترانزیستورهای Q8 و Q9 جریـان Iرا بـه ترانزیتور Q11 میرسانند، این ترانزیستور دارای نسبت طول به عرض دو برابر است در نتیجه مجموعـا جریـان I2 از ترانزیسـتورهـای Q1 و Q2 کشیده می‌شود.

نسبت طول به عرض برای ترانزیستورهای تامین کننده جریان در جدول ۱ آورده شده است. همانطور که در قسمت بعد توضیح داده می‌شود این اندازه‌ها حداقل جریان و در نتیجه حداقل توان مصرفی را برای مدار تامین می‌کنند.

جدول (۱): اندازه طول به عرض ترانزیستورهای تامین کننده جریان

ترانزیستور	W(µm)/L (µm)
Q3	13/20
Q4	1/20
Q5	0.5/10
Q6	1/20
Q7	13/20
Q8	13/20
Q9	13/20
Q10	13/20
Q11	26/20

۴- ولتاژ آستانه

ولتاژآستانه به صورت دقیق با رابطه ۷ تقریب زده می‌شود[۱۰]:

$$V_{th} = \phi_{ms} \pm \frac{Q_{ss}}{C_{ox}} + 2\phi_F + \Delta V_T(N_i) \pm \gamma(N_g, t_{ox}, L, W)\sqrt{2\phi_F + V_o + |V_{SB}|} \qquad (۷)$$

که علامت های مثبت و منفی به ترتیب مربوط به قطعـات کانـال N و کانال P است. در این معادلهØ_ms تفـاوت تـابع کـار آهـن-سـیلیکن، Q_ss چگالی شـارژ سـطح بـر واحـد مسـاحت، Ø_Fپتانسـیل فرمـی زیرلایه، Δ(N_i)V_T جابجایی ولتاژ آستانه به علـت کاشـت N_iبـا عمق di و γثابت مربوط به اثر بدنه اسـت کـه بـه ناخالصـی زیرلایـه و ضـخامت اکسـید گیـت toxمربـوط اسـت. در نهایـت عبـارت V_0 (N_i,N_s,d_i)برای تصحیح جابجایی ولتاژ آستانه استفاده می شود. تاثیرگـذارترین پـارامتر در تغییـر ولتـاژ آسـتانه، سـطوح فرمـی φF و متفاوت بودن توابع کار نیمه‌هادی‌هـای گیـت φms هسـتند، سـطوح فرمی به صورت زیر بیان می‌شوند:

$$\phi_F(T) = \pm\frac{kT}{q}\ln(\frac{n_c}{n_i(T)}) \qquad (۸)$$

اگر گیت سیلیکن با ناخالصی مخالف بـا زیرلایـه دوپ شـود، پتانسـیل اتصال با np نشان داده می شود، به همین صورت تابع کار نیمه هـادی گیت بـا معادلـه (۹) بـرای یـک گـین دوپ شـده بـا n محاسـبه مـی شود[۱۱]:

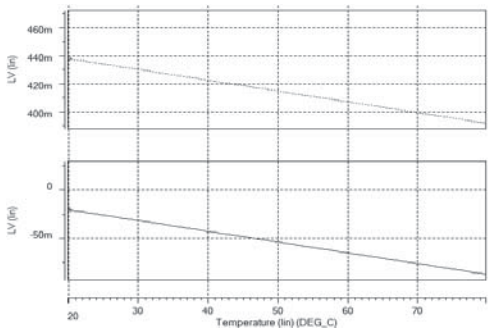
[Downloaded from jiaeee.com on 2026-10-14]
[DOR: 20.1001.1.26765810.1396.14.2.11.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.14- No.2 Summer 2017

$$\phi_{ms}(T)=\begin{cases}-\dfrac{kT}{q}\ln\left(\dfrac{N_S N_P}{n_i^{\,2}}\right) & \text{(NMOS)}\\ -\dfrac{kT}{q}\ln\left(\dfrac{N_S}{N_P}\right) & \text{(PMOS)}\end{cases} \qquad (۹)$$

که در آن ni ناخالصی ذاتی حامل، عامل مربوط به دما، Npناخالصی حامل در گیت پلی‌سیلیکن هستند، همچنین باید توجه کرد که اثر دما بر تغییر تابع کار قابل اغماض است [۱۲].

همچنین با تغییر دما تغییرات کوچکی در ولتاژ آستانه به دلیل تغییر در خازن اکسید و یونیزه شدن سطح به وجود می آید [۱۳]، که از این تغییرات به دلیل کوچک بودن صرف‌نظر می شود.

توجه به رابطه های عنوان شده و همانطور که در شکل ۴ قابل مشاهده است، شیب ولتاژهای آستانه برای دو ترانزیستور اندکی متفاوت است، در صورتی که جریان بسیار کوچک قرار داده شود شیب ولتاژ خروجی مرجع ولتاژدر نهایت حدود ۳۰ میلی ولت در ۱۰۰ درجه انحراف خواهد داشت، با قرار دادن جریان در حدود چند میکرون و تنظیم مناسب W/L می‌توان این انحراف را با استفاده از ترم دوم معادله ۲ جبران کرد. کمترین ولتاژ کار برای این نوع مرجع می‌تواند در حدود ۰,۷ ولت باشد، ولتاژ خروجی برای هر ولتاژ حدود ۵۰٪ ولتاژ ورودی است.



شکل (۴): تغییرات ولتاژ آستانه ترانزیستور معمولی (شکل بالا) و ترانزیستور ذاتی (شکل پایین) با دما

۵- نتایج شبیه‌سازی

نتایج شبیه سازی با تکنولوژی ۰,۱۸ برای ولتاژ ورودی ۰,۸ ولت در شکل ۵ نشان داده شده است، در این حالت جریان کشیده شده از مجموع دو ترانزیستور Q1 و Q2(I2) بر روی ۱,۵ میکرو آمپر تنظیم شده است، توان مصرفی کل در این حالت ۱ میکروواوت بدست آمد.برای این مقادیر مقدار ضریب دمایی از رابطه (۱۰) ppm15 بدست می‌آید:

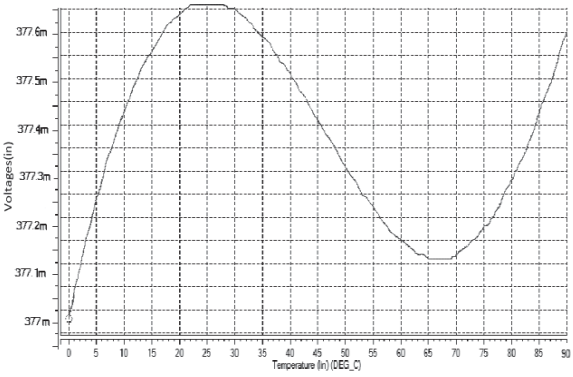
$$TC[ppm]=\frac{(\max(V_{ref})-\min(V_{ref}))}{\dfrac{V_{ref}(T=20°C)}{(80°C+20°C)\times 10^{6}}} \qquad (۱۰)$$

یکی دیگر از پارامترهای مهم نیز حساسیت خط است که با استفاده از این رابطه بدست می‌آید:

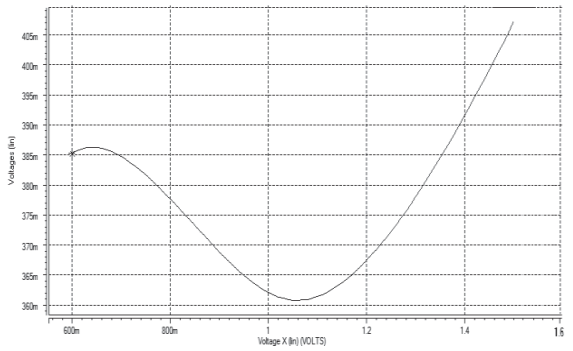
$$LS\%=\frac{(\max(V_{ref})-\min(V_{ref}))\times 100}{\Delta V_{supply}} \qquad (۱۱)$$

با توجه به جریان بالا حساسیت خط در حدود ٪V3 بدست آمد که با کاهش جریان به حدود ۴۰۰ نانو آمپر می‌توان آن را به ٪v0.95 که در شکل ۶ قابل مشاهده است،کاهش داد،در این شکل همچنین توان مصرفی به ۷۰۰ نانو وات کاهش یافته است، از طرفی با قرار دادن این مقادیر ضریب دمایی به ppm20 افزایش پیدا می‌کند.

در مورد مدولاسیون طول کانال نیز لازم به ذکر است که تمام ولتاژ تقریبا بین درین و سورس ترانزیستورهای مربوط به آیینه‌های جریان تلف می‌شوند که دارای اتصال دیودی نیستند. برای کاهش اثر مدولاسیون تمام ترانزیستورها مخصوصا ترانزیستورهایی با آیینه‌های جریان باید دارای طول بزرگی باشند.



(الف)

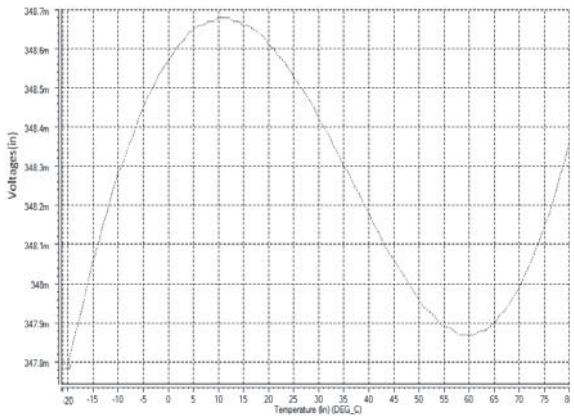


(ب)

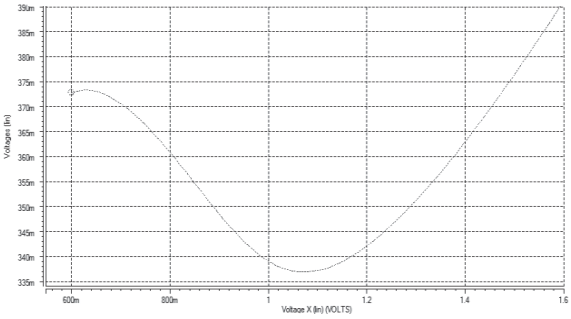
شکل (۵): (الف): حساسیت ولتاژ خروجی به دما و (ب): ولتاژ تغذیه برای جریان‌های بالاتر

[Downloaded from jiaeee.com on 2026-10-14]

[DOR: 20.1001.1.26765810.1396.14.2.11.4]



(الف)



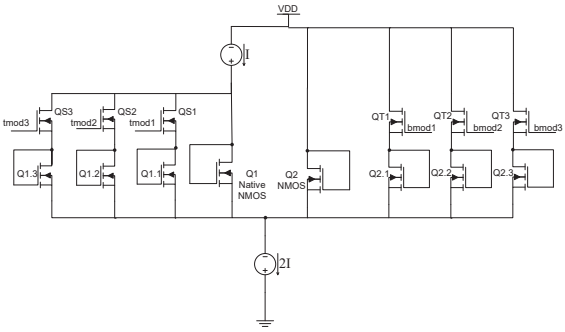
(ب)

شکل (۶): (الف):حساسیت ولتاژ خروجی به دما و (ب):ولتاژ تغذیه در جریان کم

۶- تنظیم دیجیتال

برای حداقل کردن پراکندگی ضریب دمایی و ولتاژ خروجی، یک مرجع ولتاژ با تنظیم دیجیتالی را طراحی کرده‌ایم که در شکل ۷ نشان داده شده‌است. اندازه طول و عرض دو قطعه، همانطور که در قسمت قبل نشان داده شد، برای ضریب دمایی بسیار حیاتی است، هرچند طول و عرض ترانزیستورهای هر تراشه، ممکن است به علت تفاوت‌های پروسه ایده‌آل نباشد، که بهتر است به این دلیل بتوان نسبت عرض را پس از پروسه ساخت سیلیکن تغییر داد.

این طراحی می‌تواند به صورت انتخابی ۳ قطعه ترانزیستور بالایی و ۳ ترانزیستور پایینی را با استفاده سوئیچ‌های قرار داده شده روشن یا خاموش کند. با اعمال سیگنال‌های کنترلی bmod و tmod به سوئیچ‌ها، نسبت عرض به طول ترانزیستورها ۶۴ حالت مختلف تغییر می‌کند. سیگنال کنترلی دارای سوئینگ full rail است و همچنین به ولتاژ تغذیه نیاز ندارد، حافظه‌های OTP مانند فیوزها می‌توانند برای اعمال این سیگنال با حداقل تغذیه استفاده شود. هنگامی که سوئیچ‌ها خاموش هستند هر قطه بالایی یا پایینی تاثیر قابل اغماضی بر ولتاژ خروجی دارند و به صورت یک خازن دارلینگتون خروجی عمل می کنند. ترانزیستورهای با طول زیاد در اینجا هم برای حداقل کردن مصرف توان استفاده شده‌اند، هرچند برای کم کردن سطح، می‌توان L را تانقطه ای که مصرف توان و اثرات کانال کوتاه غیر قابل صرف نظر شود، کاهش داد.

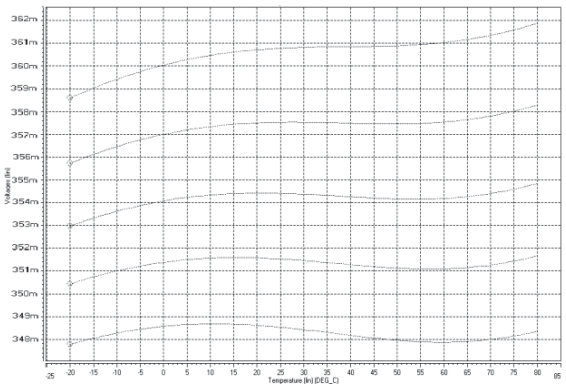


شکل (۷): تنظیم دیجیتال مرجع ولتاژ

شکل ۸ تعدادی از خروجی‌های مختلف که از روشن و خاموش کردن سوئیچ‌های مختلف tmod بدست آمده است را نشان می دهد. می‌توان مشاهده کرد که با روشن و خاموش کردن این سوئیچها، عرض Q1 تغییر می‌کند و نسبت لازم برای برای داشتن نتایج بهینه پس از ساخت را می‌توان به دست آورد.

۷- نتیجه‌گیری

در این مقاله یک مرجع ولتاژ با استفاده از اختلاف ولتاژهای آستانه ارائه شده است. در مدار طراحی شده، استفاده از ترانزیستورهای ذاتی مشکل نیاز به قدم‌های اضافی در پروسه ساخت را حل می کند. همچنین به علت وجود ترانزیستورهایی با ولتاژ آستانه بالا، توان مصرفی پایین آمده و ولتاژ مورد نیاز برای کار به حداقل می رسد. حداقل ولتاژ کار برای این ترانزیستور ۰،۷ ولت و حداقل توان مصرفی ۷۰۰ نانو وات به دست آمده است. در مدار ارائه شده با استفاده از تکنولوژی ۰،۱۸ مقدار ضریب دمایی ppm°C15 و مقدار حساسیت خط V0.98/٪ بدست آمد. در انتها برای بی‌اثر کردن تغییرات پروسه بر ولتاژ خروجی روشی برای تنظیم دیجیتالی مدار ارائه شد.



شکل (۸): تعدادی از ولتاژهای خروجی متفاوت که از روشن بودن سوئیچهای مختلف tmod به دست آورده شده است

[Downloaded from jiaeee.com on 2026-10-14]

[DOR: 20.1001.1.26765810.1396.14.2.11.4]

جدول (۲): مقایسه سایر مراجع ولتاژ با مرجع ولتاژ ارائه شده

طراحی	پارامترهای مقایسه شده				
	حداقل Vdd	توان مصرفی	TC [ppm/℃]	LS [%/V]	تکنولوژی
Annema [2]	0.9	12.6 µW	962	na	32 nm
Leung [3]	0.98	17.6 µW	15	3.6	0.6 µm
Doyle [4]	0.95	10 µW	17	na	0.5 µm
Leung [6]	1.4	29.1 µW	36.9	0.012	0.6 µm
Vita [9]	0.9	36nW	10	0.27	0.35 µm
Giustolisi [15]	1.2	4.3 µW	119	na	1.2 µm
Kingel [16]	0.55	398 µW	270	12.1	90 nm
Kingel [16]	0.55	482 µW	150	20.7	90 nm
Annema [17]	1.1	1.54 µW	30	na	0.16 µm
This work	0.7	720 nW	15	0.98	0.18 µm

مراجع

[1] M. Seok, G. Kim, D. Blaauw, D. Sylvester "A Portable 2-Transistor Picowatt TemperatureCompensated Voltage Reference Operating at 0.5 V" IEEE J. Solid-State Circuits, vol. 47, pp. 2534–2545, 2012.

[2] A. Annema, P. Veldhorst, G. Doornbos, and B. Nauta, "A sub-1V bandgap voltage reference in 32 nm FinFET technology," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 332–333, 2009.

[3] K. N. Leung and P. K. T. Mok, "A Sub 1 V 15 ppm C CMOS bandgap voltage reference without requiring low threshold voltage device," IEEE J. Solid-State Circuits, vol. 37, no. 4, pp. 526–530, 2002.

[4] J. Doyle, Y. J. Lee,Y.-B. Kim,H.Wilsch, and F. Lombardi, "A CMOS sub-bandgap reference circuit with 1 V power supply voltage," IEEE J. Solid-State Circuits, vol. 39, no. 1, pp. 252–255, 2004.

[5] M. Ugajin and T. Tsukahara, "A 0.6 V voltage reference circuit based on - architecture in CMOS/SIMOX," in IEEE Symp. VLSI Circuits Dig., pp. 141–142, 2001.

[6] K. N. Leung and P. K. T. Mok, "A CMOS voltage reference based on weighted for CMOS low-dropout linear regulators," IEEE J. Solid-State Circuits, vol. 38, no. 1, pp. 146–150, 2003.

[7] K. N. Leung and P. K. T. Mok, "A CMOS voltage reference based on weighted ΔVGS for CMOS low-dropout linear regulators," IEEE J. Solid-State Circuits, vol. 38, pp. 146–150, 2003.

[8] B.-S. Song and P. R. Gray, "Threshold-voltage temperature drift in ionimplanted MOS transistors," IEEE J. Solid-State Circuits, vol. SC-17, pp. 291–298, 1982.

[9] G. D. Vita and G. Iannaccone, "A sub-1-V, 10 ppm C, nanopower voltage reference generator," IEEE J. Solid-State Circuits, vol. 42, pp. 1536–1542, 2007.

[10] F. M. Klaassen and W. Hes, "On the temperature coefficient of the MOSFET threshold voltage," Solid State Electron, vol. 29, no. 8, pp. 787–789, 1986.

[11] Z. D. Prijic, "Analysis of temperature dependence of CMOS transistors' threshold voltage," Microelectronic Reliable, vol. 31, no. 1, pp. 33–37, 1991

[12] S. M. Sze, Physics of Semiconductor Devices. New Jersey: John Wiley and Sons,1981.

[13] J. C. Harvey, "Techniques for a high temperature CMOS operational amplifier," M.S. thesis, Case Western Reservce University, Jan. 1998.

[14] Herman E. Maes, Jeroen A. Croon, and Willy Sansen, "Matching Properties of Deep Sub-Micron MOS Transistors," Jan. 2005.

[15] G. Giustolisi, G. Palumbo, M. Criscione, and F. Cutri, "A low-voltage low-power voltage reference based on subthreshold MOSFETs," IEEE J. Solid-State Circuits, vol. 38, no. 1, pp. 151–154, Jan. 2003.

[16] P. Kinget, C. Vezyrtzis, E. Chiang, B. Hung, and T. L. Li, "Voltage references for ultra-low supply voltages," in Proc. IEEE Custom Integrated Circuits Conf. (CICC), pp. 715–720, 2008.

[17] A. J. Annema and G. Goksun, "A 0.0025 mm bandgap voltage reference for 1.1 volt supply standard 0.16 m CMOS," in IEEE Int. Solid-State Circuits Conf. Dig., 2012.

زیرنویس‌ها

۱ Voltage Reference
۲ BJT
۳ complementary-to-absolute-temperature
٤ proportional-to-absolute-temperature
٥ CMOS
٦ Selective channel implantation
۷ Native
۸ Process Variation

[Downloaded from jiaeee.com on 2026-10-14]

[DOR: 20.1001.1.26765810.1396.14.2.11.4]