معرفی یک ترانزیستور دوقطبی جدید بر اساس وارونگی سطحی

زینب ظهیری[۱] سید ابراهیم حسینی[۲] بهنام کبیریان دهکردی[۳]

۱- مربی- دانشگاه آزاد اسلامی، واحد آباده، گروه مهندسی برق، آباده، ایران
zzzahiri@yahoo.com
۲- دانشیار- دانشکده مهندسی - دانشگاه فردوسی مشهد - مشهد- ایران
ehosseini@u.ac.ir
۳- کارشناسی ارشد- دانشکده مهندسی - دانشگاه حکیم سبزواری - سبزوار- ایران
Kabirianbehnam@yahoo.com

چکیده: در این مقاله یک ساختار جدید ترانزیستور دو قطبی بر اساس وارونگی سطحی ارائه می‌شود. در این ساختار پیوند کلکتور-بیس یک پیوند متداول p-n است، اما ناخالصی امیتر حذف شده است. به عبارت دیگر ترانزیستور فقط با استفاده از دو ناحیه n و p طراحی شده است. با اتصال فلز با تابع کار مناسب به نیمه هادی نوع p، ناحیه n^+ امیتر توسط وارونگی سطحی در داخل ناحیه بیس تشکیل می شود. شبیه سازی نشان می دهد ترانزیستور ارائه شده بهره جریان قابل توجه و فرکانس قطع بسیار بالایی دارد.

کلمات کلیدی: ترانزیستور دوقطبی، وارونگی سطحی، بهره جریان بالا، شبیه سازی عددی دو بعدی

تاریخ ارسال مقاله: ۱۳۸۹/۰۴/۱۵
تاریخ پذیرش مشروط: ۱۳۹۱/۱۱/۲۸
تاریخ پذیرش مقاله: ۱۳۹۲/۱۱/۱۹
نام نویسنده‌ی مسئول: زینب ظهیری
نشانی نویسنده‌ی مسئول: ایران – آباده – بولوار دانشگاه – دانشگاه آزاد اسلامی واحد آباده – دانشکده‌ی برق

۱- مقدمه

ترانزیستورهای دوقطبی (BJT ها) هم‌اکنون در بسیاری از کاربردهای دیجیتال و ریزموجها به عنوان انتخاب اول محسوب می‌شوند و نقش بسیار مهمی در مداراهای آنالوگ ایفا می‌کنند [۱]. در فناوری BiCMOS ترانزیستورهای دوقطبی در کنار ترانزیستورهای MOSFET ساخته می‌شوند. قابلیت جریان بالا و بهره زیاد، برتری این ترانزیستورها نسبت به ترانزیستورهای اثر میدان است [۲]. بهره جریان امیتر مشترک(β) در ترانزیستورهای دوقطبی یکی از مهمترین پارامترهای طراحی آن‌ها به حساب می‌آید، که با افزایش آن علاوه بر داشتن کارایی بهتر، می‌توان سرعت افزاره را نیز بالا برد [۳]. بهره جریان ترانزیستورهای دوقطبی را می توان با استفاده از ساختارهای HBT با بیس SiGe [۴]، امیتر با ناخالصی غیر یکنواخت [۵]، یا امیتر پلی سیلیکن [۶-۷] افزایش داد، همچنین در اکثر ساختارهای ترانزیستورها بمنظور افزایش فرکانس قطعه از کوچک کردن آن استفاده میکنند[۸]. تمام این ترفندها اگر چه کاربرد زیادی دارند اما مراحل ساخت آن‌ها پیچیده است.

اتصال بین فلز و نیمه هادی می‌تواند به دو صورت اتصال اهمی (غیر یکسو کننده)، یا شاتکی (یکسو کننده) باشد. اتصال‌های اهمی، مانند خطوط ارتباطی به طور مستقیم نقش فعالی در عملکرد افزاره‌ها ایفا نمی‌کنند و اتصال‌ها در ترانزیستورهای دوقطبی از این نوع می-باشند. از طرفی در اتصال‌های شاتکی ایجاد یک سد پتانسیل داخل نیمه‌هادی و در محل اتصال با فلز، تاثیر زیادی روی جریان و انتقال حامل‌ها می‌گذارد. در این حالت پیوند فلز-نیمه هادی می‌تواند افزاره‌ای فعال تلقی شود که مشخصه غیر خطی دارد[۱].

اتصال‌های شاتکی به دلیل جریان نشتی مستقیم کم و ناچیز بودن اثرات ذخیره سازی آن‌ها، هم در ادوات دو پایه و هم سه پایه، به منظور افزایش کارایی و سرعت، استفاده می‌شوند. تاکنون یکسوکننده-های جانبی مختلفی با اتصال شاتکی گزارش شده است که کارایی بهتری نسبت به یکسو کننده‌های معمولی دارند [۱۰-۹] و به دلیل مجتمع سازی ساده تر آن‌ها و سازگاری بهتر با تکنولوژی ساخت BiCMOS گسترش یافته‌اند.

از جمله ترانزستورهای دوقطبی که در آن‌ها از اتصال شاتکی استفاده شده می‌توان به PNM BJT اشاره کرد که سرعت کلیدزنی بالاتری نسبت به PNP BJT در مدارات مجتمع دارد [۱۱]. ساختارهای دیگری از جمله PNM BJT روی SOI و NPM HBT روی SOI نیز نمونه‌های استفاده از پیوند شاتکی در دوقطبی‌ها هستند که به منظور افزایش کارایی آن‌ها از جمله بهره جریان و فرکانس قطع، اثر کرک کوچک و پاسخ حالت گذرای مناسب (با زمان ذخیره بیس نزدیک به صفر) معرفی شده‌اند [۱۳-۱۲].

به تازگی ساختار ترانزیستور دوقطبی جدیدی بر مبنای لایه تجمع سطحی گزارش شده [۱۶-۱۴] که در آن با استفاده از ناحیه امیتر با چگالی ناخالصی کم و اتصال فلز با تابع کار مناسب، می‌توان به بهره جریان بالاتر نسبت به ترانزیستورهای دوقطبی متداول دست یافت. در این ترانزیستورها به دلیل اختلاف در تابع کار فلز اتصال امیتر و نیمه هادی، اتصال به صورت شاتکی بوده و تجمع حامل‌ها در سطح، چگالی آن‌ها را افزایش داده و سبب افزایش قابل توجه بهره ترانزیستور می‌شود. در این مورد مراحل ساخت کاملاً شبیه مراحل ساخت ترانزیستور دوقطبی معمولی است؛ با این تفاوت که نیاز به ناحیه امیتر با چگالی ناخالصی کم و فلز اتصال با تابع کار مناسب بوده و با تغییر این دو پارامتر بهره جریان بالایی بدست می‌آید.

در این مقاله ساختار جدیدی از ترانزیستورهای دوقطبی با بهره جریان و فرکانس قطع بالا معرفی شده که اساس کار آن بر مبنای وارونگی سطحی است [۱۷]. این ساختار متشکل از تنها یک پیوند p-n است و ناخالصی امیتر در آن کاملاً حذف شده است. با اتصال فلز با تابع کار مناسب به نیمه هادی نوع p، ناحیه n^+ امیتر به وسیله وارونگی سطحی در مرز اتصال ایجاد می‌شود. با استفاده از شبیه ساز عددی دو بعدی ساختار مورد نظر را شبیه سازی کرده و نتایج حاصل از آن را مورد بررسی قرار می‌دهیم.

این مقاله در چهار بخش زیر ادامه می‌یابد: در بخش اول مفهوم وارونگی سطحی توضیح داده می‌شود. در بخش دوم ساختار ترانزیستور پیشنهادی معرفی شده است، پس از آن در بخش سوم مشخصات ترانزیستور با استفاده از شبیه سازی مورد بررسی قرار می-گیرد و در پایان خلاصه نتایج بیان خواهد شد.

۲- وارونگی سطحی[۱]

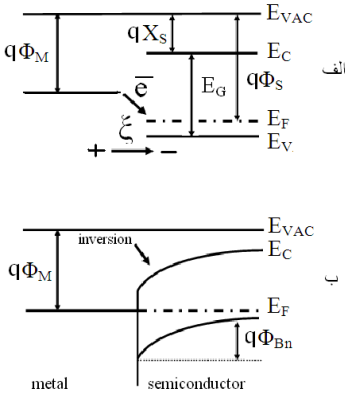
با اتصال فلز و نیمه هادی نوع p متصل به صورتی که $\Phi_M<\Phi_S$، یعنی تابع کار فلز کوچکتر از نیمه هادی باشد، هنگام ایجاد اتصال، تفاوت بین تابع کارها و نیاز به هم سطح شدن ترازهای فرمی در محل اتصال، یک سد پتانسیل به نام سد شاتکی در محل پیوند تشکیل میدهد.

شکل۱-الف نمودار نوارهای انرژی برای فلز و نیمه هادی نوع p در حالتی که اتصالی بین آن‌ها برقرار نشده را نشان می دهد. همانطور که دیده می شود تابع کار فلز نسبت به نیمه هادی کوچکتر است ($\Phi_M<\Phi_S$)، پس از اتصال، تزریق الکترون‌های فلز در مرز آن‌ها باعث ایجاد یک لایه با بار منفی در داخل نیمه‌هادی می‌شود. این بار ایجاد شده در بین دو وجه می‌تواند تعبیری از گسترش یک دوقطبی منفی در محل اتصال باشد، بطوری که بار الکتریکی مثبتی که در سطح اتصال و در داخل فلز تجمع یافته است، بوسیله یک چگالی مساوی از بارهای منفی در ناحیه اتصال و در داخل نیمه هادی خنثی می‌شود. عرض ناحیه بار منفی ایجاد شده حداقل در حد صدم میکرون است [۱۸].

جهت انتقال بارها در سد شاتکی، بوسیله انرژی سطوح فرمی فلز و نیمه هادی، قبل از اتصال، مشخص می‌شود. همانطور که در شکل۱-الف قبل از اتصال فلز و نیمه هادی و ایجاد سد شاتکی دیده می‌شود، انرژی سطح فرمی فلز بیشتر از نیمه هادی در نظر گرفته شده است بنابراین طبق جهت نمودار در پایین شکل۱-الف، الکترون‌ها از فلز به نیمه هادی انتقال می‌یابند و به دنبال آن دو قطبی قوی همراه با میدان الکتریکی مثبتی در مرز اتصال ایجاد می‌شود. شکل۱-ب نوارهای انرژی فلز و نیمه هادی را پس از اتصال و تشکیل سد شاتکی نشان می‌دهد. اثر بارهای انتقال یافته از انحنای نوار رسانایی نیمه هادی در نزدیک سطح اتصال مشخص است؛ بطوری که انحنای منفی نشان از ایجاد ناحیه بار منفی در داخل نیمه هادی می‌باشد و چون خمش نوارهای انرژی در فاصله کوتاهی اتفاق می‌افتد، یک میدان الکتریکی قوی در مرز اتصال ایجاد می‌شود. پارامتر دیگری که در شکل۱-ب دیده می شود و مربوط به اثر انتقال بارها در طی تشکیل اتصال نیمه هادی-فلز می‌باشد، Φ_{Bn} است. Φ_{Bn} سد پتانسیلی است که در مقابل حرکت حفره‌های نیمه‌هادی برای انتقال به سمت فلز وجود دارد و مقدار آن از رابطه زیر بدست می‌آید:

$$\Phi_{Bn}= \Phi_S - \Phi \qquad (۱)$$

همانطور که گفته شد وجود این سد باعث کاهش قابل ملاحظه جریان حفره های ناحیه p به سمت اتصال می‌گردد.



شکل (۱): الف) نمودار نوارهای انرژی برای نیمه هادی و فلز قبل از اتصال، ب) نمودار نوارهای انرژی برای نیمه هادی و فلز بعد از اتصال و ایجاد ناحیه وارونگی در مرز اتصال [۱۸].

مقادیر جذب الکترون[۲] و گاف سیلیکن در دمای اتاق به ترتیب χ_s= ۴/۰۵ev و E_G= ۱/۱۲ev است. در صورتیکه از یک فلز با تابع کار کوچکتر از نیمه هادی، جهت اتصال امیتر استفاده شود، در مرز تماس ناحیه تخلیه تشکیل شده و اتصال خاصیت یکسوکنندگی پیدا می‌کند. اگر تابع کار فلز به χ_s نزدیک باشد (یا حتی کمتر از آن) چگالی الکترون در سطح تماس نیمه هادی با فلز بسیار بزرگ می‌گردد، به عبارت دیگر یک لایه وارونگی سطحی بوجود می‌آید.

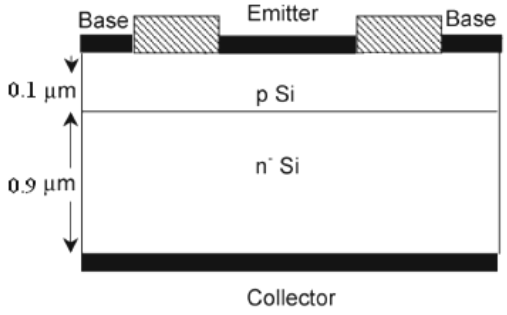
با توجه به شکل (۱) می‌توان نشان داد که چگالی الکترون در سطح تماس نیمه هادی با فلز برابر است با:

$$n_s = n_i \exp\left(\frac{(E_G/2 + q\chi_s - q\Phi_M}{K_B T}\right) \qquad (۲)$$

که E_G گاف انرژی سیلیکن، χ_S جذب الکترون و Φ_M تابع کار فلز است. در صورتی که n_s به اندازه کافی بزرگ باشد، در لایه‌ای مجاور سطح در نیمه هادی ناحیه n با چگالی زیاد بوجود خواهد آمد که نقش ناحیه امیتر ترانزیستور را دارد. با توجه به رابطه (۲) می‌توان نشان داد که برای داشتن چگالی الکترون بالا (در حد $۱\times۱۰^{۱۸}/cm^3$) نیاز به $\Phi_M \leq$ ۴/۱ev می‌باشد.

۳- ساختار ترانزیستور پیشنهادی

ساختار ترانزیستور مورد نظر در شکل(۲) نشان داده شده است. این ساختار شامل یک پیوند p-n است که ناحیه n، کلکتور و p مربوط به ناحیه بیس است. برای کاهش اثر تجمع جریان از دو اتصال بیس[۳] و برای اتصال امیتر از فلزی با تابع کار پایین‌تر از تابع کار سیلیسیم استفاده شده است تا در مرز اتصال نیمه هادی-فلز لایه n ای ناشی از الکترون های تزریقی از فلز به داخل نیمه هادی بوجود آید و به این ترتیب یک ناحیه n^+ در مرز نیمه هادی و فلز به منظور ایفا کردن نقش ناحیه امیتر تشکیل شود. در این حالت یک ترانزیستور دو قطبی npn با استفاده از تنها یک پیوند p-n ایجاد می‌شود. در قسمت بعدی، با استفاده از شبیه ساز دوبعدی SILVACO-ATLAS [۱۹] ساختار معرفی شده شبیه سازی شده و کاربرد لایه وارونگی را بجای ناحیه امیتر، برای داشتن سادگی مراحل ساخت و کارایی بیشتر در ترانزیستورهای دوقطبی نشان می‌دهیم.



شکل (۲): ساختار ترانزیستور پیشنهادی.

۴- شبیه سازی

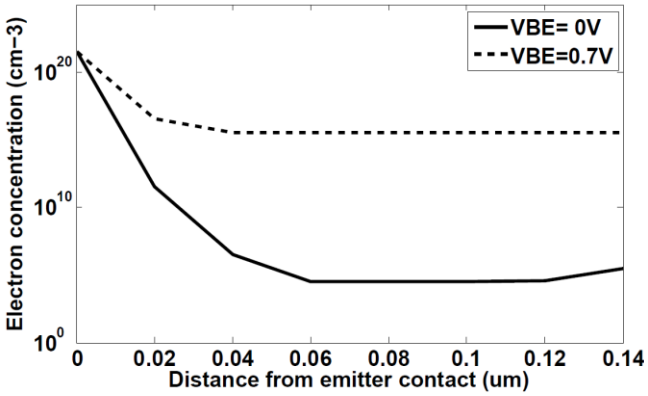
برای شبیه سازی ترانزیستور پیشنهادی از شبیه ساز SILVACO-ATLAS استفاده شده است. در این شبیه سازی برای ساختار معرفی شده ناحیه p بیس با ضخامت ۰/۱um و چگالی ناخالصی $/cm^3$ $N_A= ۱\times۱۰^{۱۷}$، ناحیه کلکتور با ضخامت ۰/۷um و چگالی ناخالصی $N_D= ۵\times۱۰^{۱۵}/cm^3$ انتخاب و برای ناحیه n^+ مربوط به کلکتور جهت ایجاد اتصال اهمی از چگالی ناخالصی $N_D= ۱\times۱۰^{۱۹}/cm^3$ و ضخامت ۰/۲um استفاده شده است. سپس با استفاده از شبیه ساز ATLAS و با پیش فرض های در نظر گرفته شده در [۱۶] از جمله در نظر گرفتن

اثرات تولید و ترکیب Auger، تولید در اثر فونون (SRH)، اثر میدان و توزیع الکترونها بر موبیلیتی (Conmob)، کوچک شدن باند گپ (bandgap narrowing) ساختارپیشنهادی را شبیه سازی کرده و نتایج آن اعم از میدان الکتریکی، نمودار گامل، بهره جریان و فرکانس قطع آن را بررسی خواهیم کرد. در اینجا با توجه به این که هم ساختار و هم پیش فرض‌های حل نرم افزار شبیه به مرجع [۱۶] می‌باشد، بهره ترانزیستور پیشنهادی را با بهره‌های ساختارهای Si SALTran و Si BJT مقایسه می‌کنیم. در پایان اثر تابع کار فلز اتصال امیتر را روی میدان الکتریکی و بهره جریان مطالعه کرده و نتایج حاصل را بیان می‌کنیم. قابل ذکر است که نرم افزار SILVACO-ATLAS در حالت پیش فرض آمار بولتزمن را در نظر می گیرد و طبق آن چگالی حامل ها و میدان الکتریکی را بیان می کند [۱۹]. در اینجا بدلیل چگالی بالای حامل های تجمع یافته در سطح اتصال فلز امیتر به ناحیه بیس و ایجاد ناحیه وارونگی سطحی، بنابراین آمار فرمی- دیراک (fermidirac) نیز در پیش فرض های شبیه ساز فعال گردیده و شبیه سازی در دمای $300^{\circ}K$ انجام گرفته است و پارامترهای ورودی نرم افزار در جدول (۱) آورده شده است. نکته قابل توجه این است که به دلیل ضخامت کم ناحیه n^+ ایجاد شده، ضخامت بیس را می‌توان بسیار کوچک انتخاب کرد. این کوچک بودن عرض بیس و در نتیجه کاهش قابل ملاحظه بازترکیب در آن، باعث افزایش بهره ترانزیستورخواهد شد، که در این مقاله مقدار انتخاب شده برای ضخامت بیس، حد میانه‌ای است که علاوه بر قابل ساخت بودن از ناحیه تخلیه و ناحیه مربوط به وارونگی بزرگتر است.

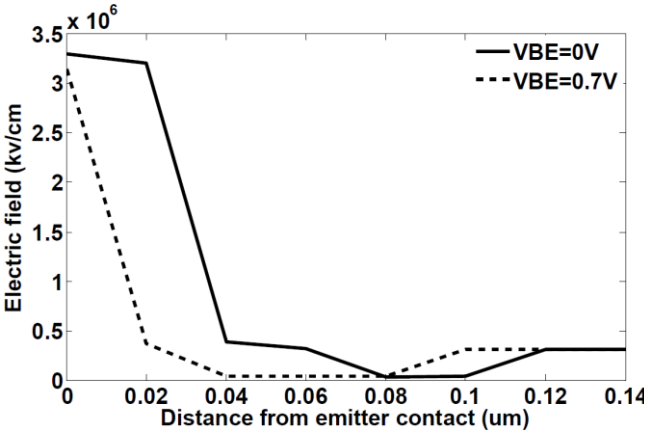
جدول(۱): پارامترهای ورودی نرم افزار SILVACO

پارامتر	مقدار پارامتر
عرض ناحیه بیس	0.1 um
عرض ناحیه کلکتور	0.7 um
چگالی ناخالصی ناحیه بیس	1×10^{17} /cm^3
چگالی ناخالصی ناحیه کلکتور	5×10^{15} /cm^3
چگالی ناخالصی ناحیه n^+ مربوط به کلکتور	1×10^{19} /cm^3
تابع کار فلز امیتر	4.1 ev
ضریب طول عمر الکترون حامل اقلیت (TAUNO) SRH	1×10^{-7} s
ضریب طول عمر الکترون حامل اقلیت (TAUP0) SRH	1×10^{-7} s
پارامتر چگالی الکترون ها و حفره های (NSRHN و NSRHP) SRH	5×10^{16} /cm^3

با در نظر گرفتن فلز اتصال امیتر با تابع کار ۴/۱ev (آلیاژ تیتانیوم و نیکل)، که کمتر از تابع کار ناحیه p سیلیکن است، سد شاتکی با ارتفاع تقریبی ۱/۰۲ev در محل اتصال ایجاد شده و باعث تزریق الکترون از فلز به نیمه هادی نوع p می‌شود، مطابق شکل(۳) این الکترون‌های تزریقی یک لایه وارونگی در زیر اتصال فلز تشکیل می‌دهند. در این شکل چگالی الکترون‌ها در مرز اتصال برای دو حالت تعادل و بایاس V_{BE}=0.7v نشان داده شده است. همانطور که مشاهده می‌شود، چگالی الکترون ایجاد شده در مرز اتصال بسیار زیاد است و می توان بطور تقریبی تا فاصله ۰/۰۱۵um از اتصال فلز امیتر که چگالی الکترون‌ها در آن بیشتر از میزان ناخالصی بیس است را بعنوان ناحیه n^+ برای امیتر در نظر گرفت. همانطور که در شکل(۴) دیده می‌شود شیب زیاد تغییرات چگالی الکترون ها در مرز اتصال منجر به تولید یک میدان الکتریکی بزرگ شده است، که بیشینه میدان در مرز اتصال رخ داده و مقدار آن با افزایش فاصله از اتصال به سمت ناحیه بیس کاهش می‌یابد و با افزایش ولتاژ بایاس شیب کاهش چگالی الکترون ها و به دنبال آن میدان الکتریکی کاهش یافته است.



شکل (۳): چگالی الکترون ها نسبت به فاصله از اتصال امیتر



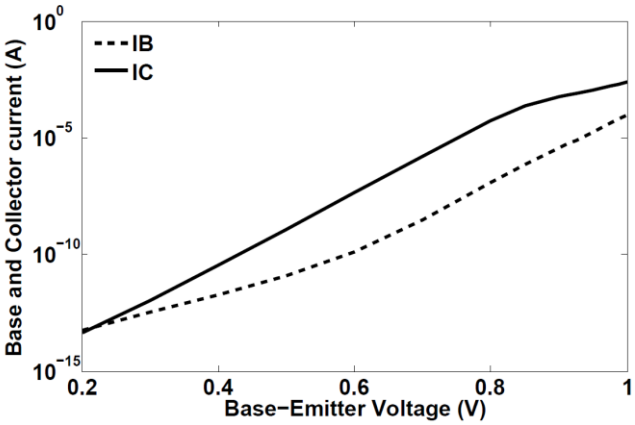
شکل (۴): میدان الکتریکی ایجاد شده در ناحیه بیس

جهت میدان حاصله بگونه‌ای است که با حرکت حفره‌ها از بیس به سمت سطح نیمه‌هادی (ناحیه امیتر) مخالفت می‌کند و در نتیجه جریان ناشی از انتقال حفره‌های بیس کاهش زیادی می‌یابد. با کاهش جریان بیس، بهره جریان ترانزیستور افزایش قابل توجهی خواهد داشت. در واقع وجود این میدان الکتریکی بزرگ باعث می‌شود که مرز اتصال مانند یک آینه در مقابل حفره های تزریقی از ناحیه بیس به ناحیه امیتر عمل کند. اما بدلیل پایین تر بودن تابع کار فلز اتصال

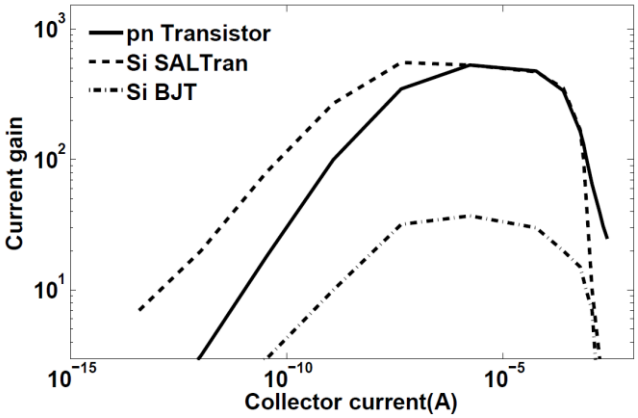
امیتر نسبت به ناحیه بیس، چگالی جریان الکترون‌ها به طرف ناحیه بیس بسیار زیاد و بتبع آن جریان کلکتور مقدار زیادی خواهد داشت. شکل (۵) تغییرات جریان کلکتور و بیس ترانزیستور بر حسب ولتاژ بیس-امیتر را نشان می‌دهد. در ترانزیستور های دوقطبی برای افزایش بهره جریان نیاز به افزایش چگالی ناخالصی امیتر و باریک کردن ناحیه بیس است که در ساختار پیشنهادی می‌توان ناحیه بیس باریک بدون نیاز به مراحل ساخت پیچیده و ناحیه امیتر با چگالی ناخالصی بالا بدون نیاز به تزریق ناخالصی داشته باشیم. همچنین با توجه به شکل-های (۳) و (۴) می‌توان افزایش جریان بیس در ولتاژهای بایاس بالا را به دلیل کاهش چگالی الکترون ها و به دنبال آن کاهش میدان الکتریکی تولیدی (بعنوان مرز بازتاب کننده) در مرز اتصال دانست. اما در بایاسهای بزرگ عواملی چون تزریق شدید، مقاومت همراه و پهن شدن بیس تاثیر گذار می باشند که باعث کاهش بهره در ولتاژ بایاس بیش از ۰/۸ ولت می شوند.

در شکل(۶) بهره جریان ترانزیستور پیشنهادی به همراه بهره جریان ساختارهای Si SALTran و Si BJT به ازای جریان های مختلف کلکتور رسم شده است، مشاهده می شود که با استفاده از این ساختار، حداکثر بهره ترانزیستور در حدود ۱۵ برابر بیشتر از حداکثر بهره ترانزیستور Si BJT است و این مقدار بهره جریان در حدوده بهره جریان ساختار Si SALTran می باشد که با توجه به ساختار ساده شده ترانزیستور پیشنهادی نسبت به دو ساختار دیگر، ساختار حاضر بسیار مناسب و قابل قبول می باشد.

یک نکته مهم در این شکل، بهره جریان بسیار بزرگ ترانزیستور pn نسبت به ترانزیستور Si BJT، در جریان های کوچک کلکتور است. این ویژگی امکان استفاده از ترانزیستور در توان‌های بسیار پایین را میسر می‌کند. با توجه به اینکه توان مصرفی ترانزیستورهای دو قطبی معمولی در مقایسه با ترانزیستورهای اثر میدان زیاد است، بالا بودن بهره ترانزیستور پیشنهادی در جریان های پایین بسیار حائز اهمیت است و کاربردهای بالقوه زیادی را ایجاد می‌کند.



شکل (۵): جریان بیس و کلکتور نسبت به تغییرات ولتاژ بیس

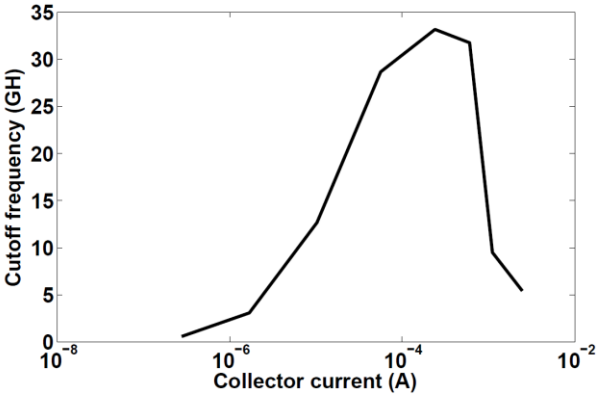


شکل (۶): بهره جریان بدست آمده برای ساختار ارائه شده، Si SALTran [۱۵] و Si BJT [۱۵]در V_{CE}=1

پارامتر مهمی که عملکرد فرکانسی ترانزیستور را مشخص می کند، فرکانس قطع f_T می‌باشد. این پارامتر تأخیر انتشار حامل ها را از امیتر به کلکتور نشان می دهد و طبق رابطه زیر تعریف می شود [۱۲]:

$$f_T = 1/(2\pi R_F C_F) \qquad (۳)$$

که R_F و C_F مقاومت و خازن معادل در بایاس مستقیم هستند. یکی از روش‌های افزایش فرکانس قطع، کوچک کردن ابعاد فیزیکی ترانزیستور است. برای کاهش زمان گذر باید پهنای بیس کم باشد و برای کاهش ظرفیت پیوند باید مساحت نواحی امیتر و کلکتور کوچک باشند. پارامتر دیگری که برای افزایش فرکانس قطع باید در نظر گرفته شود، مقاومت مؤثر هر یک از نواحی ترانزیستور است. چون مقاومت های امیتر، بیس و کلکتور روی زمانهای مختلف شارژ RC اثر می-گذارند، لازم است که مقدار آنها حداقل باشد. منحنی فرکانس قطع f_T بر حسب تغییرات جریان کلکتور برای ساختار پیشنهادی در شکل(۷) نشان داده شده است. همانطور که دیده می‌شود، حداکثر فرکانس قطع مربوط به این ساختار در حدود ۳۵ GHz است که در مقایسه با ترانزیستورهای LBT بررسی شده در [۱۴] فرکانس قطع تا ۱ GHz، از بهترین ساختار آن‌ها بیشتر می‌باشد و این مقدار بسیار بالایی است. توجه داریم که این ساختار شامل تنها دو ناحیه بیس و کلکتور بوده و ناحیه ای مجزا برای امیتر وجود ندارد. دقت می کنیم که پیوند کلکتور- بیس بایاس معکوس است و تنها خازن پیوند آن بر پاسخ فرکانسی تاثیر دارد. در پیوند شاتکی نیز خازن نفوذ نسبت به خازن پیوند بر پاسخ فرکانسی تاثیر بیشتری دارد. در مجموع مقادیر R_F و C_F معادل نسبت به ترانزیستور متداول کاهش می‌یابد و به همین دلیل فرکانس قطع بدست آمده، افزایش یافته است. البته باید بیان داشت که در شبیه سازی برای بررسی پاسخ فرکانسی همه خازنها در نظر گرفته شده اند و توضیحات بالا تنها برای بررسی تئوری آمده است.



شکل(۷): فرکانس قطع برحسب جریان کلکتور برای ساختار معرفی شده

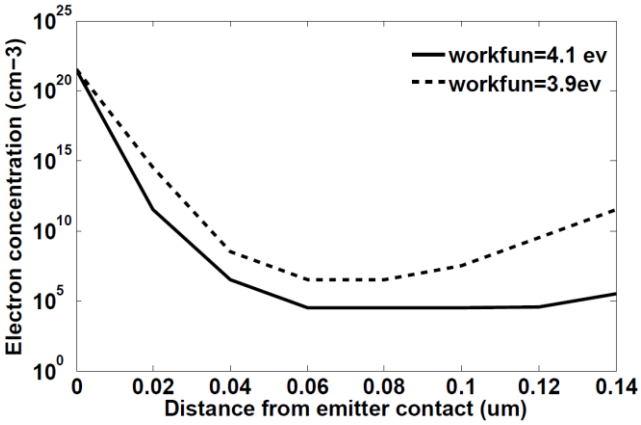
۴-۱- اثر تابع کار

یک جنبه مهم ترانزیستوری که در این مقاله معرفی شد، مربوط به ویژگی تابع کار فلز اتصال امیتر است، که با کاهش آن هم میدان الکتریکی و هم بهره جریان افزایش می‌یابند. در اینجا با در نظر گرفتن فلز با تابع کار ۳/۹ ev (تیتانیوم) و مقایسه نتایج با حالت قبلی(۴/۱ ev) اثر تابع کار را بررسی کرده‌ایم.

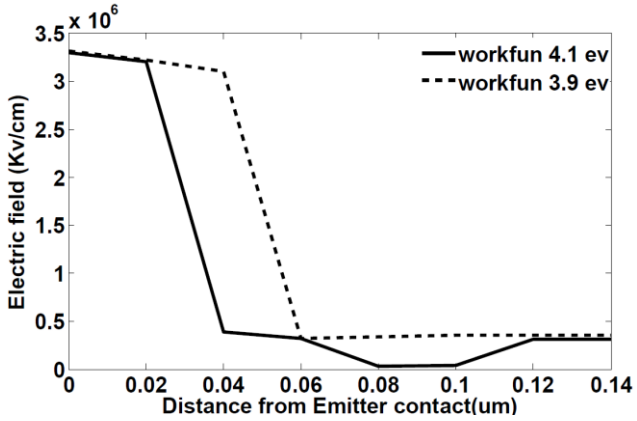
با کاهش تابع کار فلز اتصال امیتر، انحنا نوارهای انرژی نیمه هادی در محل اتصال بیشتر شده و در نتیجه مطابق شکل (۸) چگالی الکترون‌های موجود در مرز اتصال افزایش می‌یابند. همانطور که در شکل (۹) دیده می شود، افزایش انحنا نوارهای انرژی و چگالی الکترون‌های مرزی نیمه‌هادی باعث افزایش در میزان میدان الکتریکی در این ناحیه شده است. نمودارهای شکل (۱۰) نیز حاکی از افزایش بهره جریان با کاهش تابع کار فلز اتصال است. می‌توان این افزایش را به سبب افزایش میدان الکتریکی ناحیه امیتر و در نتیجه کاهش جریان بیس دانست. در اینجا می‌بینیم که با تغییر تابع کار فلز اتصال امیتر از ۴/۱ ev به ۳/۹ ev می‌توانیم بهره جریان حداکثر تا حدود ۵۹۷۸ داشته باشیم که از بهره ساختار Si SALTran تا ۱۱ برابر بیشتر است و این موضوع برای ساختار حاضر که بدون نیاز به بیس SiGe و حتی ناحیه مشخص شده ای به عنوان امیتر است بسیار جالب توجه می‌باشد. لازم به ذکر است که هر تابع کاری را نمی‌توان در طراحی در نظر گرفت، تنها بررسی فلزاتی که در ساخت ادوات به کار می‌روند، حائز اهمیت است.

۵- نتیجه‌گیری

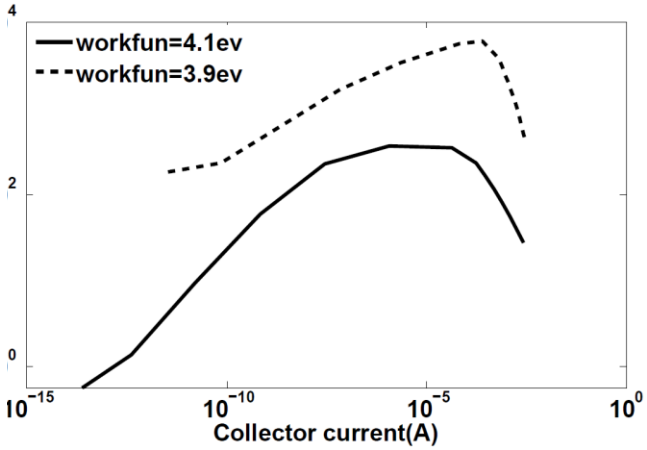
در این مقاله با استفاده از لایه وارونگی که در سطح اتصال فلز- نیمه هادی تشکیل می‌شود، بجای ایجاد ناحیه امیتر با چگالی ناخالصی بالا در ترانزیستورهای دوقطبی، از فلز اتصال امیتر با تابع کار مناسب استفاده کردیم. نتایج شبیه سازی‌ها نشان می‌دهد که ساختار معرفی شده خصوصیات یک ترانزیستور دوقطبی با بهره جریان و فرکانس قطع بالا را خواهد داشت. شبیه سازی نشان می‌دهد که بهره ترانزیستور پیشنهادی در حالت استفاده از تابع کار ۴/۱ ev در حدود ۱۵ برابر بیشتر از ترانزیستور BJT قدیمی است و تقریبا به اندازه ترانزیستور Si SALTran بوده و به ازاء تابع کار ۳/۹ ev بهره ترانزیستور pn به مقدار ۵۹۷۸ رسیده که تا ۱۱ برابر نسبت به حالت ۴/۱ ev بیشتر شده است. بنابراین در حالی که ساختار ترانزیستور پیشنهادی نسبت به ساختارهای قبلی ساده‌تر است، دارای بهره جریان و فرکانس قطع بسیار مناسب تری نسبت به ساختارهای قبلی می‌باشد .



شکل(۸): چگالی الکترون ها نسبت به فاصله از اتصال امیتر برای فلزهای با تابع کار ۳/۹ ev و ۴/۱ ev و در حالت تعادل(V_{BE}=0V)



شکل(۹): میدان الکتریکی در ناحیه بحث شده برای فلزهای با تابع کار ۳/۹ ev و ۴/۱ ev



شکل (۱۰): بهره جریان بدست آمده برای ساختار با فلزهای با تابع کار ۳/۹ ev و ۴/۱ ev

نکته مهم در ساختار پیشنهادی، بهره جریان بسیار بزرگ آن در جریان های کوچک کلکتور است. این ویژگی امکان استفاده از ترانزیستور در توان‌های بسیار پایین را میسر می‌کند. با توجه به اینکه توان مصرفی ترانزیستورهای دو قطبی معمولی در مقایسه با ترانزیستورهای اثر میدان زیاد است، بالا بودن بهره ترانزیستور پیشنهادی در جریان‌های پایین بسیار حائز اهمیت است و کاربردهای بالقوه زیادی را ایجاد می‌کند.

سپاسگزاری

نویسندگان این مقاله از هم‌فکری و پیشنهادات سازنده اعضای هیئت تحریریه مجله انجمن مهندسین برق و الکترونیک ایران کمال سپاسگزاری را دارند.

مراجع

[۱] فتحی پور، م، احسانی اردکانی، ع، دانشگاه تهران ،**فیزیک الکترونیک**، انتشارات دانشگاه تهران ۱۳۸۱.

[2] Macsweeney, D., McCarthy, K. G., Mathewson, A., Mason, B., A SPICE compatible sub-circuit model for lateral bipolar transistors in a CMOS process, IEEE Trans. Electron Devices, vol. 45, pp. 1978-1984, 1998.

[3] kumar, M,jagadesh., Nawal, Susheel., crover, Sachit., A High Current Gain Horizontal Current Bipolar Transistor (HCBT) Technology for the BiCMOS Integration with FinFETs, IEEE Indicon 2005, pp 453-456, Dec. 2005.

[4] Cressler, J. D., Niu, G., Silicon-Germanium Heterojunction Junction Bipolar Transistors. Norwood, MA: Artech House, 2003.

[5] Chang, K.Z., Wu, C.Y., A novel PHL-emitter bipolar transistor fabrication and characterization, Solid-State Electron., 36, pp. 1393–1399, 1993.

[6] Moiseiwitsch, N. E., Ashburn, P., The benefits of fluorine in pnp polysilicon emitter bipolar transistors, IEEE Trans. Electron Devices, 41, pp. 1249–1256, 1994.

[7] Anderson, B. L., Anderson, R., fundamental of semiconductor devices, published by McGraw-Hill,ISBN, 2004.

[۸] مرادی نسب، مهدی، فتحی پور، مرتضی، **"مدل بسته جریان- ولتاژ در ترانزیستورهای نانولوله کربنی آلاییده"**، مجله انجمن مهندسین برق و الکترونیک ایران، سال هشتم- شماره دوم، ۶۸-۶۲، مجله علمی پژوهشی IAEEE امیرکبیر - تهران، زمستان ۱۳۹۰.

[9] Mehrotra, M., Baliga, B. J., Trench MPS barrier Schottky (TMBS) rectifier: A Schottky rectifier with higher than parallel plane breakdown voltage, Solid-State Electron., vol.38, pp. 801-806, 1995.

[10] Mahalingam, S., Baliga, B. J., The graded doped trench MOS barrier Schottky rectifier: A low forward drop high voltage rectifier, Solid State Electron., vol. 43, pp. 1-9, 1999.

[11] Ratanaphanyarat, Akbar., Kuang JB, S., Hsieh CM, ChuST., Schottky collector vertical PNM bipolar transistor. Electron Lett. 28, 86–7, 1992.

[12] Kumar, M.J., Rao, DV., A new lateral PNM Schottky collector bipolar transistor on SOI for nonsaturating VLSI logic design. IEEE Trans Electron Dev 49:1070–2, 2002.

[13] Kumar, M. J., Reddy,C. L., 2D-simulation and analysis of lateral SiC N-emitter SiGe P-base Schottky metal-collector (NPM) HBTon SOI, Microelectronics Reliability 43, 1145–1149, 2003.

[14] Kumar, M. J., Parihar, V., Surface accumulation layer transistor (SALTran): A new bipolar transistor for enhanced current gain and reduced hot-carrier degradation, IEEE Trans. Dev. Mater. Reliab., V.4, N. 2, pp. 509–515, 2004.

[15] Kumar, M. J., Parihar, V., A new surface accumulation layer transistor (SALTran) concept for current gain enhancement in bipolar transistors, in Proc. 17th Int. Conf. VLSI Design, pp. 827–831, 2004.

[16] Kumar, M. J., Singh, Preeti., A Super Beta Bipolar Accumulation Layer Transistor(SALTran) Concept: A Simulation Study, IEEE Trans. Electron Devices, pp. 577-579, 2006.

[۱۷] ظهیری، زینب، حسینی، سید ابراهیم، کبیریان دهکردی، بهنام، **"معرفی یک ترانزیستور دوقطبی جدید بر اساس وارونگی سطحی"**، کنفرانس ملی فیزیک ایران ، همدان، شهریور ۱۳۸۹.

[18] Wager, J.F., Transparent electronics: Schottky barrier and heterojunction considerations, Thin Solid Films 516 pp 1755–1764, 2008.

[19] Atlas User's Manual, Silvaco International, Santa Clara, CA, 2000.

زیرنویس‌ها

۱ Surface Inversion

۲ Electron affinity