استخراج مدل مداری نزدیک به ولتاژ آستانه برای افزاره‌های سیلیکون بر روی الماس با عایق دو لایه به منظور محاسبه ولتاژ آستانه

افشین دادخواه[1] آرش دقیقی[2]

۱- دانشجوی فوق لیسانس مهندسی برق دانشگاه شهرکرد- شهرکرد- ایران

afshin.dadkhah17@gmail.com

۲- دانشکده فنی و مهندسی- دانشگاه شهرکرد- شهرکرد – ایران

daghighi-a@sku.ac.ir

چکیده: در این مقاله برای اولین بار مدل خازنی افزاره سیلیکون روی عایق دولایه را بدست می‌آوریم. این مدل برای این افزاره نزدیک به ولتاژ آستانه و با طول کانال ۲۲ نانومتر بطور کامل بدست می‌آید. با استفاده از این مدل، رابطه‌ی ولتاژ آستانه را برای یک افزاره‌ی ماسفت سیلیکون بر روی الماس با عایق دولایه را محاسبه می‌کنیم. در ساختار این ادوات علاوه بر لایه‌ی عایق الماس دفن شده، یک لایه نارسانا ثانویه از جنس دی اکسید سیلیکون نیز بر روی عایق اولیه بطور نسبی رشد داده شده است که موجب ویژگی‌های منحصر به فرد این افزاره می‌گردد. نتایج بدست آمده از این مدل را در ابعاد مختلف پارامترهای افزاره با مقادیر حاصل از شبیه‌سازی ادوات نیمه هادی مقایسه نموده‌ایم که به یک تطبیق مناسب بین این نتایج دست یافته‌ایم. تاثیر ابعاد افزاره نظیر ضخامت لایه اکسید گیت، ضخامت بدنه سیلیکونی، ضخامت عایق اول و دوم بر روی ولتاژهای آستانه گیت جلویی و گیت پشتی بیانگر تطبیق خوب نتایج مدل با نتایج حاصل از شبیه سازی ادوات نیمه هادی می‌باشد. مدل بدست آمده برآورد فیزیکی بسیار خوبی از تاثیر پارامترهای افزاره روی ولتاژ آستانه بدست می‌دهد.

واژه‌های کلیدی: افزاره سیلیکون روی الماس، افزاره سیلیکون روی عایق، ولتاژ آستانه، مدل خازنی، افزاره سیلیکون روی الماس با عایق دولایه

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.21.1.39

تاریخ ارسال مقاله: ۱۴۰۱/۰۵/۰۲

تاریخ پذیرش مشروط مقاله: ۱۴۰۱/۱۰/۱۱

تاریخ پذیرش مقاله: ۱۴۰۱/۱۱/۱۹

نام نویسنده‌ی مسئول: دکتر آرش دقیقی

نشانی نویسنده‌ی مسئول : ایران – شهرکرد – دانشگاه شهرکرد – دانشکده فنی – گروه الکترونیک و مخابرات. کد پستی: ۲۱۳

۱- مقدمه

امروزه بی‌شک ترانزیستورها به یکی از مهمترین اجزای کاربردی الکترونیک مدرن بدل شده‌اند به گونه‌ایی که تصور جهانی بدون حضور این افزاره‌ها، اتفاقی عملاً غیر ممکن است. ماده‌ی سازنده‌ی تمامی ترانزیستورها، عناصر نیمه هادی[۱] مانند سیلیکون[۲] و ژرمانیوم[۳]هستند و همچنین اولین ترانزیستورهای مخلوق دست بشر از جنس نیمه هادی ژرمانیوم بودند [۱]. یک هدف بسیار مهم در طراحی مدارات مجتمع کاهش مصرف توان و رسیدن به سرعت بالا و عملکرد مناسب است. در این صنعت به دلیل نیاز به افزایش تعداد افزاره‌های روی تراشه و صعود بهره‌وری آن‌ها، عمل کوچک‌سازی ابعاد ترانزیستورها از دهه‌ها قبل به صورت پیوسته انجام می‌پذیرد [۲].

اما کوچک‌سازی ساختار افزاره‌های بالک (bulk) به دلیل پیدایش مشکلاتی همچون اثرات کانال کوتاه (short channel effects) به محدودیت خود رسیده [۳] و نیاز به یک ساختار جانشین همواره در حال افزایش است [۴]. این آثار که مهمترین آن‌ها شامل افزایش شیب زیر حالت آستانه، افزایش جریان تونل زنی گیت، افزایش جریان نشتی درین و کاهش سد پتانسیل گیت ناشی از ولتاژ درین (DIBL) می‌باشد، بر روی ولتاژ آستانه اثر می‌گذارد و باعث افزایش جریان نشتی حالت خاموش شده و در نتیجه توان اتلافی را افزایش می‌دهد [۵].

به همین منظور کاربرد افزاره‌های سیلیکون روی عایق (SOI) نسبت به گذشته افزایش چشمگیری یافته است، به نحوی که در دنیای مدرن الکترونیک، از این افزاره‌ها به عنوان تکنولوژی اصلی استفاده می‌شود[۶]. تفاوت عمده‌ی تکنولوژی بالک در مقایسه با افزاره‌های مذکور که در کل به دو گروه ادوات تخلیه کامل[۴] و ادوات تخلیه جزئی[۵] تقسیم می‌شوند وجود یک لایه عایق دفن شده از جنس اکسید سیلیکون (SIO_2) در بدنه‌ی آن‌ها می‌باشد که اختصاراً به آن (BOX) می‌گویند[۷]. در ادوات سلیکون روی عایق تخلیه جزئی (PD SOI) ضخامت لایه سیلیکونی زیر گیت بیشتر از دو برابرمقدار بیشنه‌ی لایه تخلیه می‌باشد [۸]. در این حالت یک ناحیه خنثی در لایه سیلیکونی و در بین ناحیه تخلیه ایجاد می‌شود. به این ترانزیستورها اصطلاحا ادوات لایه ضخیم[۶] نیز می‌گویند [۹]. اما در ادوات سیلیکون روی عایق تخلیه کامل(FD SOI) ضخامت لایه سیلیکونی زیر گیت کوچکتر ازمقدار بیشنه‌ی لایه تخلیه می‌باشد[۸] و لایه سیلیکونی به طور کامل تخلیه می‌شود. به این ترانزیستورها اصطلاحاً ادوات لایه نازک[۷] نیز می‌گویند [۹]. لایه عایق دفن شده در بدنه‌ی سیلیکونی باعث ایجاد ویژگی‌های منحصر به فردی در این ادوات می‌شود که می‌توان به پایین بودن ظرفیت خازن پارازیتی سورس و درین (به دلیل عایق کاری لایه بالای سیلیکون از بستر) که منجر به کاهش مصرف انرژی و افزایش سرعت سویچینگ می‌شود [۱۰]، کاهش جریان نشتی [۸]، افزایش مقاومت در برابر تابش‌های رادیو اکتیو[۷]، کاهش اثر کانال کوتاه[۷] و حل معضل latch up [۱۱] اشاره کرد.

با این وجود، ساختار این ادوات بی نقص نمی‌باشد و از آنجا که دی اکسید سیلیکون یک عایق الکتریکی خوب می‌باشد، شدیداً از انتقال گرمای افزاره به هیت سینک[۸] و خنک کردن آن جلوگیری می‌کند. با افزایش دمای افزاره سرعت حرکت الکترون‌ها به موجب برخورد آنها با اتم‌های سیلیکونی و در نتیجه قابلیت تحرک حامل‌ها کاهش می‌یابد و در نتیجه کاهش جریان ترانزیستور را به همراه خواهد داشت. همچنین در ادوات سلیکون روی عایق تخلیه جزئی با کانال نوع n زمانی که ولتاژ درین به اندازه کافی افزایش یابد، الکترون‌های ناحیه کانال، انرژی کافی را در ناحیه‌ی میدان الکتریکی قوی به ویژه در نزدیک درین به دست آورده و با برخورد با اتم‌های شبکه سیلیکون موجب تولید زوج الکترون-حفره می‌شوند. این مکانیزم برخورد و تولید زوج الکترون-حفره، مکانیزم یونیزاسیون برخوردی نام دارد. الکترون‌های تولید شده در این مکانیزم به سرعت جذب درین شده و حفره‌ها به سمت مکانی در بدنه با پایین‌ترین پتانسیل حرکت می‌کنند که این مکان بدنه شناور نام دارد که باعث کاهش ولتاژ آستانه می‌گردد [۱۲-۱۷].

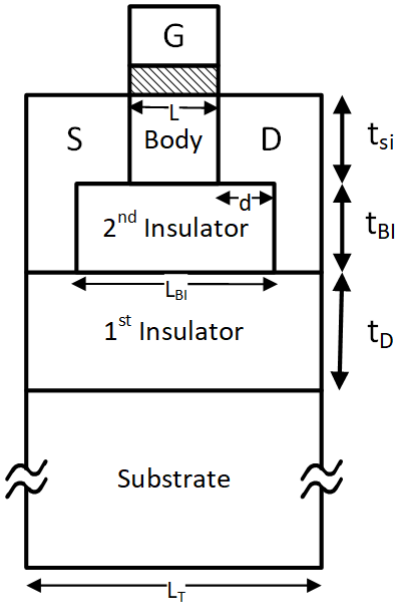
یکی از راه حل‌های مهندسین تکنولوژی ساخت ادوات نیمه هادی برای مقابله با اثر خودگرمایی این افزاره ها، استفاده از الماس با ضریب گذردهی گرمایی (k= 2000w/k-m) به جای دی اکسید سیلیکون (k= 1.4w/k-m) می‌باشد. با جانشینی این عناصر با یکدیگر، افزاره‌ی جدیدی به نام سیلیکون روی الماس[۹](SOD) پدید آمده است [۱۱]. در این ادوات، انتقال گرما به دو صورت عمودی به زیر لایه و افقی به اتصالات داخلی انجام می‌پذیرد [۱۸, ۱۹]. به همین دلیل می‌توان از این ادوات به عنوان یک راه حل مناسب برای از بین بردن اثر خودگرمایی افزاره‌های سیلیکون روی عایق نام برد [۱۱]. این قابلیت به این ادوات اجازه می‌دهد تا در سطح بالاتری از توان نسبت به افزاره های سیلیکون روی عایق عمل کنند چرا که اندازه گیری‌های تجربی نشان می‌دهد که ساختار جدید قابلیت کار با ۱۰ برابر توان بیشتر نسبت به ادوات سیلیکون روی عایق را دارد [۲۰].

با این وجود زمانی که از یک عایقی مانند الماس با دی الکتریکی بزرگتر از دی اکسید سیلیکون استفاده می‌کنیم خازن‌های پارازیتی آن افزایش می‌یابد که از رابطه‌ی (۱) قابل مشاهده است[۱۹]:

$$C_{Box(SOI)\times} \times \frac{\varepsilon_{Diamond}}{\varepsilon_{SIO2}} = C_{BOX(SOD)} \qquad (۱)$$

درنتیجه خازن بدنه درون لایه الماس بزرگتر از خازن لایه دی اکسید سیلیکون می‌باشد که مطابق آن، درین در ماسفت سیلیکون بر روی الماس نسبت به سیلیکون بر روی عایق تأثیر بیشتری بر روی بدنه دارد که موجب افزایش DIBL و جریان نشتی در این ادوات می شود[۱۹]. به همین دلیل نیاز به ساختاری همچون سیلیکون بر روی الماس با عایق دو لایه[۱۰] برای حفظ مزیت‌های سیلیکون بر روی الماس و کاهش معایب این ادوات به شدت احساس می‌گردد[۲۰].

ساختمان یک افزاره سیلیکون روی الماس دو لایه به همان صورت که در شکل ۱ به تصویر کشیده شده شامل یک زیر لایه سیلیکون، یک لایه عایق الماس بر روی زیر لایه، یک لایه عایق دوم (از جنس SIO_2) بر روی الماس (که همه‌ی قسمت‌های الماس را پوشش نداده است)، یک بدنه بر روی عایق دوم و در نهایت یک گیت بر روی بدنه می‌باشد.



شکل (۱): ساختار ترانزیستور سیلیکون روی الماس با عایق دو لایه

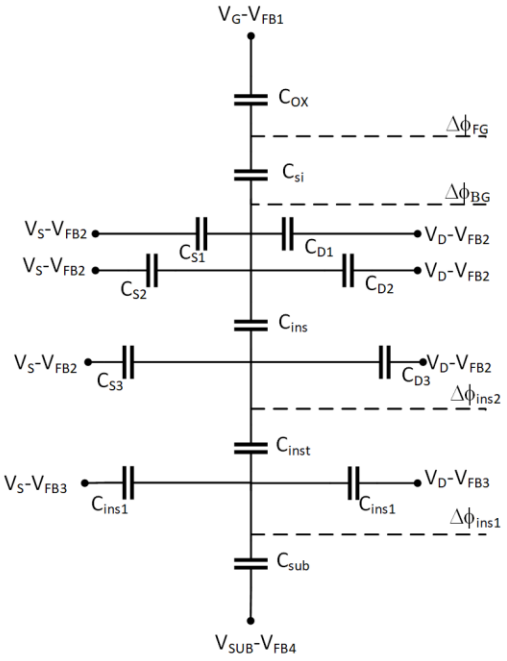
در ساختار این ادوات ارتباط مستقیم بین ضخامت لایه عایق دوم با نفوذ میدان از سورس و درین به بدنه و خازن‌های پارازیتی درین و سورس وجود دارد .ساختار سیلیکون بر روی الماس دو لایه[۱۱] می‌تواند چالش ساختارهای سیلیکون بر روی عایق مرسوم سیلیکون روی عایق و سیلیکون بر روی الماس را به نحو قابل قبولی برطرف سازد.

۲- مدل‌سازی ولتاژ آستانه

۲-۱- خازن‌های ساختار

مدل مداری موجود برای افزاره‌های سیلیکون روی الماس دولایه که در [۱۹] به آن اشاره شده است، اگرچه رفتار افزاره‌ی سیلیکون بر روی الماس با دو لایه عایق را با یک تقریب خوب دنبال می‌کند اما این مدل تعدادی از خازن‌های پارازیتی این ادوات را نادیده می‌گیرد [۴]. به همین جهت نیاز به یک مدل مداری کامل‌تر جهت پیش بینی دقیق رفتار افزاره به شدت احساس می‌شود، تصویر ۲ یک مدل مداری تعمیم یافته از این افزاره‌ها می‌باشد که در این قسمت به بررسی خازن‌های این مدل مداری می‌پردازیم. خازن‌های C_{OX} و C_{si} مربوط به خازن‌های اکسید گیت و فیلم سیلیکونی که عمدتاً بیانگر خازن بدنه می‌باشند. اما، خازن C_{D1} بیانگر خازن وسط ناحیه بادی تا قسمت همپوشانی درین با لایه عایق دوم که در شکل ۱ توسط پارامتر d نشان داده شده است، می‌باشد. خازن C_{D2}، مربوط به خازن ناحیه وسط بدنه با قسمت کناری لایه اکسید دوم که در شکل ۱ توسط t_{BI} نشان داده شده است، می‌باشد. خازنهای C_{S2} , C_{S1} هم دقیقاً روابط یکسان برای محاسبه آنها وجود دارد و فقط سمت سورس ترانزیستور واقع شده‌اند. C_{ins} همان خازن ناحیه وسط بدنه بصورت صفحات موازی مربوط به لایه عایق دوم است. خازن‌های C_{D3} و C_{S3} مربوط به خازن‌های وسط ناحیه لایه عایق دوم تا کف ناحیه درین و سورس، به ترتیب، می‌باشد. C_{inst} خازن صفحات موازی لایه عایق اول که در شکل ۱ از الماس ساخته شده است، می‌باشد. در ترانزیستورهای با عایق مدفون خیلی نازک، در زیر لایه عایق اول یک ناحیه تخلیه شده از حامل‌ها و لایه معکوس شکل می‌گیرد. خازن C_{ins1} مربوط به تشکیل خازن بین سورس و درین با همین لایه معکوس می‌باشد. و نهایتاً، خازن C_{sub} خازن ناحیه تخلیه گفته شده در زیرلایه، به این صورت مدل‌سازی شده است. ولتاژهای گره‌های مختلف مدل مداری در شکل ۲ نشان داده شده است. نهایتاً شکل ۲ نشان دهنده مدل مداری کامل بدست آمده برای تحلیل مراحل بعدی در این مقاله می‌باشد.

برای محاسبه خازن‌های صفحات موازی و عمودی از روابط بدست آمده در منابع [۲۱] و [۲۲] استفاده شده است. در این روش که با استفاده از توابع انتگرال بیضوی خازن‌های دارای صفحات زاویه دار بهمراه میدان الکتریکی حاشیه ای محاسبه می‌شوند، می‌توان خازن‌های مورد اشاره در شکل ۲ را بصورت کاملاً دقیق محاسبه نمود.



شکل (۲): مدل مداری تعمیم یافته افزاره‌های سیلیکون روی الماس دو لایه

۲-۲- محاسبه‌ی ولتاژ آستانه

با محاسبه‌ی خازن‌های ساختار می‌توان فرمولاسیون ولتاژ آستانه را برای افزاره‌ی مورد نظر انجام داد، به این منظور می‌بایست یک مدل مبتنی بر قوانین کیرشهف جهت محاسبه ولتاژ آستانه افزاره مذکور، بر اساس حل تحلیلی ماتریس گره برای دو گیت پشتی (در مرز اکسید مدفون/ بدنه سیلیکون) و جلویی (در مرز اکسید گیت / بدنه‌ی سیلیکون) توسعه داد.

در سمت پشتی کانال به دلیل اتصال بین سورس و درین از طریق عایق مدفون به خصوص برای افزاره‌هایی با طول کانال کوتاه یا لایه

عایق دفن شده ضخیم‌تر دارای اهمیت می‌باشد. به موجب همین اتصال سورس و درین، وارونگی کانال می‌تواند در مرز پشتی ناحیه کانال اتفاق بیفتد. بنابراین ممکن است در شرایط یکسان در مرز گیت پشتی پتانسیل سطحی این گیت بر پتانسیل سطحی گیت جلویی غلبه کند و به این صورت امکان ایجاد وارونگی در گیت پشتی قبل از گیت جلویی وجود دارد. به همین خاطر لازم است تا ولتاژ آستانه هم برای گیت پشتی و هم برای گیت جلویی مورد بررسی قرار گیرد. پس برای محاسبه‌ی ولتاژ آستانه از حداقل پتانسیل سطحی گیت جلویی و پشتی جهت ایجاد یک کانال استفاده می‌کنیم و به این ترتیب مقدار کوچکتر بین این دو ولتاژ، ولتاژ آستانه‌ی افزاره تعیین می‌گردد.

۲-۲-۱- معادلات گره

به منظور محاسبه‌ی ولتاژ آستانه افزاره‌های سیلیکون بر روی الماس با دولایه عایق از حل ماتریس گره در مدل مداری شکل (۲) استفاده می‌کنیم [۲۴, ۲۳] و با اعمال این قوانین و تبدیل منابع ولتاژ به جریان معادله‌ی ماتریس ۱۰ بدست می‌آید.

$$[A]\cdot[B]=[C]\rightarrow[B]=inv[A]\cdot[C] \quad (۱۰)$$

که در آن ماتریس [A]، ماتریس ادمیتانس و ماتریس های [B] و [C] به ترتیب ماتریس گره و ماتریس منابع جریان می‌باشند:

$$[B]=\begin{bmatrix}\Delta\varphi_{fG}\\ \Delta\varphi_{BG}\\ \Delta\varphi_{ins2}\\ \Delta\varphi_{ins1}\end{bmatrix}$$

$$[C]=\begin{bmatrix}(V_G-V_{FB1})SC_{ox}\\ (V_S-V_{FB2})SC_{S1}+(V_S-V_{FB2})SC_{S2}+(V_D-V_{FB2})SC_{D1}+(V_S-V_{FB2})SC_{D2}\\ (V_S-V_{FB2})SC_{S2}+(V_D-V_{FB2})SC_{D3}\\ (V_S-V_{FB3})SC_{ins}+(V_D-V_{FB3})SC_{in1}+(V_{Sub}-V_{FB4})SC_{sub}\end{bmatrix} \quad (۱۱)$$

از معادله‌ی پیش رو می‌توان دریافت که $\Delta\varphi_{fG}$ پتانسیل سطح گیت جلویی و $\Delta\varphi_{BG}$ پتانسیل گیت پشتی و S اپراتور لاپلاس می‌باشد.

۲-۲-۲- محاسبه‌ی ولتاژ آستانه گیت جلویی

به منظور محاسبه‌ی ولتاژ استانه گیت جلویی، آن مقداری از ولتاژ گیت را میتوان مطلوب در نظر گرفت که در آن حداقل پتانسیل سطح $\Delta\varphi_{fG}$ دو برابر پتانسیل فرمی ($2\varphi_B$) باشد[۱].

پس با حل ماتریس گره‌ی به دست آمده در قسمت قبل و جایگزاری $2\varphi_B$ به جای $\Delta\varphi_{fG}$، معادله‌ی ولتاژ آستانه‌ی گیت جلویی محاسبه می‌گردد (رابطه‌ی ۱۲):

$$V_{thfg}=\frac{T+\dfrac{w+\dfrac{sC_{ins1}(R+X)}{s(Y-Z)}}{S(2C_{d1}+2C_{d2}+2C_{ins1}+2C_{d1})-\dfrac{(sC_{ins1})^2}{s(Y-Z)}}}{SCox} \quad (۱۲)$$

که در آن :

$$R=SC_{d3}(V_{FB2})-SC_{d3}(V_d-V_{FB2}) \quad (۱۳)$$

$$T=2\varphi_B S(C_{ox}+C_{si})+SC_{ox}(V_{FB1}) \quad (۱۴)$$

$$w=V_{FB2}s(C_{d1}+C_{d2})-2SC_{si}\varphi_B-2SC_{d1}(V_d-V_{FB2}) \quad (۱۵)$$

$$X=\frac{C_{inst}(sC_{ins1}(V_{FB3})-sC_{ins1}(V_d-V_{FB3}))}{2C_{ins1}+C_{inst}t+C_{sub}} \quad (۱۶)$$

$$Y=2C_{d3}+C_{ins}+C_{inst} \quad (۱۷)$$

$$Z=\frac{S\,C_{inst}{}^2}{2C_{ins1}+C_{inst}+C_{sub}} \quad (۱۸)$$

۲-۲-۳- محاسبه‌ی ولتاژ آستانه گیت پشتی

به منظور محاسبه‌ی ولتاژ آستانه گیت پشتی کافی است در محاسبات خود آن مقداری برای ولتاژ آستانه گیت مذکور لحاظ گردد که به تناسب آن حداقل پتانسیل سطح مربوطه ($\Delta\varphi_{BG}$) برابر $2\varphi_B$ گردد.

پس با حل معادله ماتریس ۱۰ و جایگزاری $2\varphi_B$ به جای $\Delta\varphi_{BG}$، معادله‌ی ولتاژ آستانه‌ی گیت پشتی بدست می‌آید (رابطه‌ی ۱۹)

$$V_{thbg}=\frac{(C_{ox}+C_{si})\left(T+\dfrac{X}{s(Y-Z)}-V_{FB2}s(C_{d1}+C_{d2})\right)}{sCoxC_{si}}+\frac{+2SC_{d1}(V_d-V_{FB2})-2sW\varphi_B}{sCoxC_{si}} \quad (۱۹)$$

که در آن :

$$[A]=\begin{bmatrix}C_{ox}+C_{si} & -C_{si} & 0\\ -C_{si} & C_{si}+C_{d1}+C_{d2}+C_{ins} & -C_{ins}\\ 0 & -C_{ins} & C_{ins}+C_{s3}+C_{D3}+C_{inst}\end{bmatrix}$$

$$T=\begin{bmatrix}0 & 0\\ -C_{ins} & 0\\ -C_{inst} & -C_{inst}\end{bmatrix}\begin{bmatrix}C_{ox}(2\varphi_B SC_{si}-SV_{FB1}C_{ox})\\ C_{ox}+C_{si}\end{bmatrix} \quad (۲۰)$$

$$W=2C_{d1}+2C_{d2}+C_{ins}+C_{si} \quad (۲۱)$$

$$X=\frac{sC_{ins}(2SC_{ins}\cdot\varphi_B-SC_{d3}(V_{FB2})+SC_{d3}(V_d-V_{FB2})}{2C_{ins1}+C_{inst}t+C_{sub}}+\frac{-C_{inst}(sC_{ins1}(V_{FB3})-sC_{ins1}(V_d-V_{FB3}))}{2C_{ins1}+C_{inst}t+C_{sub}} \quad (۲۲)$$

$$Y=2C_{d3}+C_{ins}+C_{inst} \quad (۲۳)$$

$$Z=\frac{C_{inst}{}^2}{2C_{ins1}+C_{inst}+C_{sub}} \quad (۲۴)$$

۳- نتایج مدل سازی

در این قسمت نتایج حاصل از محاسبات فوق را با مقادیر بدست آمده از شبیه‌سازی ادوات نیمه هادی مقایسه می‌کنیم [۲۵]. مدل شبیه سازی برگرفته از می‌باشد [۴]. ابعاد و پارامترهای به کار رفته در شبیه‌سازی ساختار افزاره سیلیکون روی الماس با دو لایه عایق در جدول ۱ درج گردیده است. با توجه به مباحث قبلی، در این ادوات از هر دو جنس عایق دفن شده‌ی الماس و دی اکسید سیلیکون استفاده می‌گردد، به نحوی که عایق اول الماس و عایق دوم اکسید سیلیکون می‌باشد.

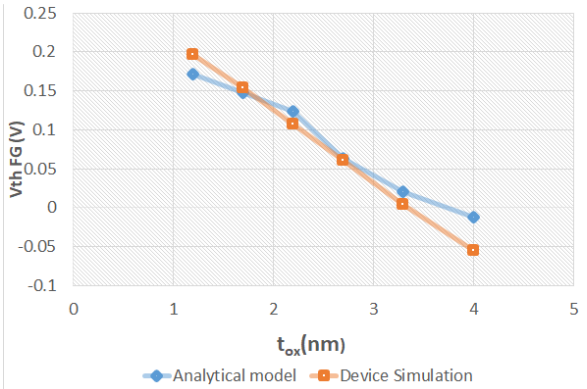
در شکل ۳ نتایج حاصل از مدل‌سازی و شبیه‌سازی ولتاژ آستانه گیت جلویی نسبت به ضخامت اکسید گیت نشان داده شده است. گستره‌ی ضخامت عایق اکسید از ۱,۲ نانومتر تا ۴ نانومتر تغییر می

کند. با افزایش ضخامت اکسید گیت، مقدار ولتاژ آستانه گیت جلویی در هر دو نمودار شبیه‌سازی و مدل کاهش می‌یابد.

جدول (۱): پارامترهای ساختار برای شبیه‌سازی افزاره سیلیکون روی الماس با عایق دو لایه

پارامتر	مقدار
طول کلی ساختار	۱۵۲ نانومتر
طول همپوشانی سورس و درین با عایق دوم	۳ نانومتر
ضخامت عایق اول	۲۰ نانومتر
ضخامت عایق دوم	۲۰ نانومتر
ضخامت فیلم سیلیکونی	۵ نانومتر
طول کانال	۲۲ نانومتر
ضخامت اکسید گیت	۱,۲ نانومتر
میزان ناخالصی فیلم سیلیکونی	$۱۰^{۱۵}$ cm^{-3}
میزان ناخالصی سورس و درین	$۱۰^{۲۰}$ cm^{-3}
طول عایق دوم	۱۰۲ نانومتر

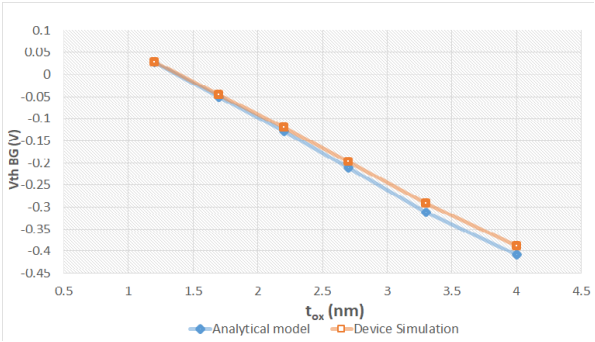
در این تصویر می‌توان دریافت که در نواحی ضخامت اکسید گیت ۱,۷ تا ۲,۸ نانومتر، مدل استخراج شده با تقریب ۰,۰۰۶ تا ۰,۰۱ ولت نتایج شبیه‌سازی را دنبال می‌کند. با افزایش ضخامت اکسید گیت تا ۴ نانومتر، اختلاف این دو نمودار شروع به افزایش کرده و تا ۰,۰۴ ولت نیز می‌رسد که این مقدار در بازه‌ی تغییرات اکسید گیت بیشترین اختلاف دو نمودار می‌باشد.



شکل(۳): نمودار تغییرات ولتاژ آستانه گیت جلویی نسبت به ضخامت اکسید گیت

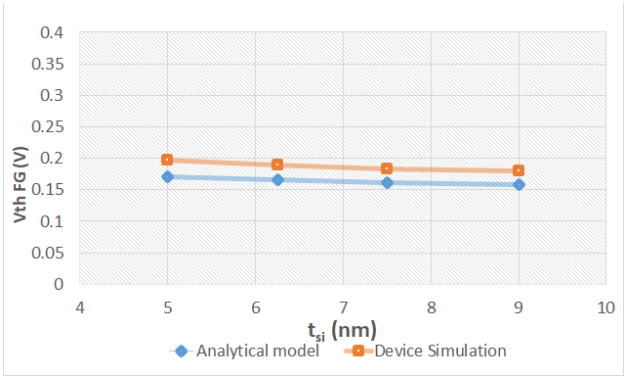
در شکل (۴) نیز نتایج حاصل از دو فرایند شبیه‌سازی و مدل ولتاژ آستانه گیت پشتی افزاره مذکور نسبت به ضخامت اکسید گیت در بازه ۱,۲ تا ۴ نانومتر به تصویر کشیده شده است.

با دقت در این نمودار می‌توان دریافت که با افزایش ضخامت اکسید گیت، اختلاف مدل استخراجی با شبیه‌سازی بیشتر می‌شود. این اختلاف در کمترین مقدار خود در ضخامت اکسید گیت ۱,۳ نانومتر ۰,۰۰۱۵ ولت و در ضخامت اکسید گیت ۴ نانومتر برابر با بیشترین مقدار خود ۰,۰۲ ولت می‌باشد.



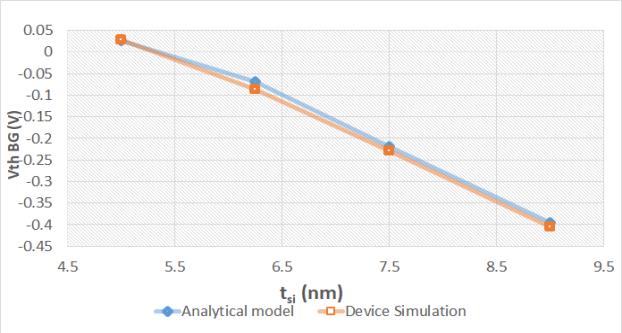
شکل(۴): نمودار تغییرات ولتاژ آستانه گیت پشتی نسبت به ضخامت اکسید گیت

در تصویر (۵) نمودار شبیه‌سازی و مدل ولتاژ آستانه گیت جلویی نسبت به تغییرات ضخامت لایه سیلیکون زیر گیت در بازه‌ی ۵ تا ۹ نانومتر به تصویر کشیده شده است. با دقت در این نمودار استنباط می گردد که در مدل استخراج شده، ولتاژ آستانه گیت جلویی با تقریب نسبتاً ثابتی (حدود ۰,۰۲۲ ولت) نتایج شبیه‌سازی را دنبال می‌کند.



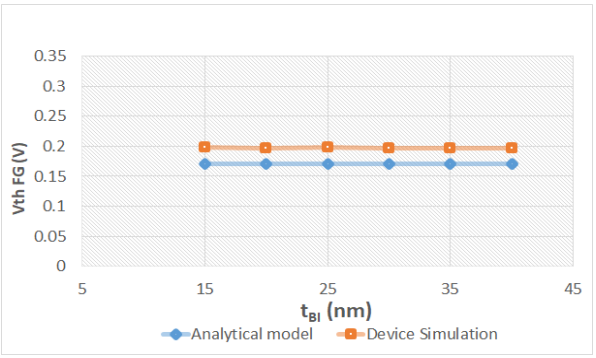
شکل(۵): نمودار تغییرات ولتاژ آستانه گیت جلویی نسبت به ضخامت لایه سیلیکونی

همچنین در تصویر ۶ نمودار شبیه‌سازی و مدل ولتاژ آستانه گیت پشتی نسبت به تغییرات لایه سیلیکونی مذکور (t_{si}) به تصویر کشیده شده است. در این نمودار نیز با افزایش ضخامت سیلیکون، روند کاهشی هر دو نمودار با تقریب خوبی یکدیگر را دنبال می‌کند.



شکل(۶): نمودار تغییرات ولتاژ آستانه گیت پشتی نسبت به ضخامت لایه سیلیکونی

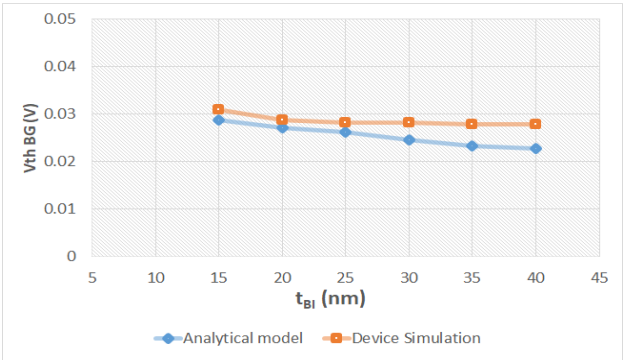
تصاویر ۷ و ۸ به ترتیب نتایج حاصل از شبیه‌سازی و مدل ولتاژ آستانه برای گیت‌های جلویی و پشتی نسبت به تغیرات ضخامت لایه دی اکسید دفن شده می‌باشد.



شکل(۷): نمودار تغییرات ولتاژ آستانه گیت جلویی نسبت به ضخامت لایه عایق دوم

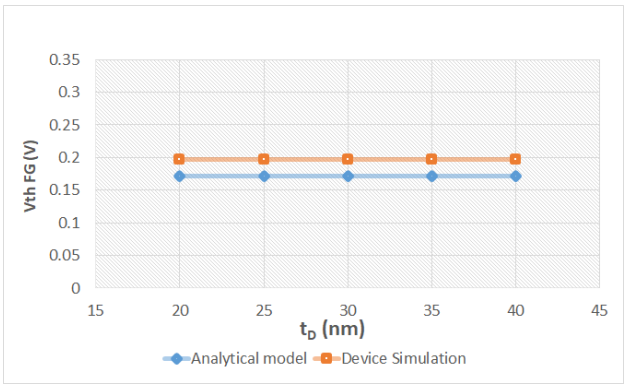
در تصویر ۷ استنباط می‌گردد که کاهش ضخامت لایه عایق دوم در فاصله ۱۵ تا ۴۰ نانومتر تغییرات قابل توجهی در ولتاژ آستانه گیت جلویی ندارد. همچنین اختلاف نتایج حاصل از مدل استخراجی با شبیه‌سازی یک مقدار نسبتاً ثابت و نزدیک به ۰,۰۲۵ ولت می‌باشد.

با دقت در تصویر ۸ نیز می‌توان دریافت که مقادیر محاسبه شده در مدل استخراجی برای ولتاژ استانه گیت پشتی در ضخامت ۲۵ نانومتر شروع به فاصله گرفتن از مقادیر شبیه‌سازی گرفته و این مقدار اختلاف از ۰,۰۰۲ ولت در ضخامت ۱۵ نانومتر به ۰,۰۰۵ ولت در ضخامت ۴۰ نانو می‌رسد.



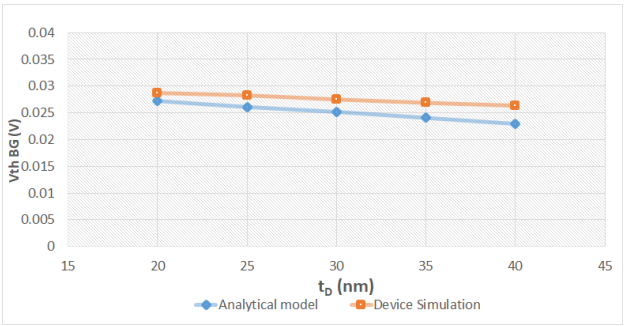
شکل(۸): نمودار تغییرات ولتاژ آستانه گیت پشتی نسبت به ضخامت لایه عایق دوم

در شکل ۹ نمودار مقایسه‌ی ولتاژ آستانه گیت جلویی افزاره‌ی سیلیکون روی الماس با عایق دولایه به دو روش استخراج از مدل مداری و شبیه‌سازی نسبت به افزایش ضخامت لایه الماس دفن شده در بازه‌ی ۲۰ تا ۴۰ نانومتر نمایش داده شده است. در این بازه می‌توان به این نکته دست یافت که مدل استخراجی ولتاژ آستانه گیت جلویی ثابت می‌باشد اما در شبیه‌سازی این مقدار ۰,۰۰۳ ولت تا ضخامت ۴۰ نانومتر کاهش می‌یابد. پس در نتیجه اختلاف این دو نمودار در بازه ضخامت ۲۰ تا ۴۰ نانومتر نسبتا ثابت و برابر ۰,۰۰۲۵ ولت می‌باشد.



شکل(۹): نمودار تغییرات ولتاژ آستانه گیت جلویی نسبت به ضخامت لایه الماس دفن شده

در نمودار مندرج در شکل ۱۰ نیز که بیانگر ولتاژ آستانه گیت پشتی در ضخامت ۲۰ تا ۴۰ نانومتر الماس دفن شده می‌باشد نیز مشاهده می‌گردد که با افزایش ضخامت الماس دفن شده، اختلاف دو ولتاژ آستانه حاصل از شبیه‌سازی و مدل بیشتر می‌شود. این افزایش اختلاف به نحوی می‌باشد که در ضخامت ۲۰ نانومتر برابر ۰,۰۰۱ ولت و در ۴۰ نانومتر ۰,۰۰۳ ولت می‌باشد.



شکل(۱۰): نمودار تغییرات ولتاژ آستانه گیت پشتی نسبت به ضخامت لایه الماس دفن شده

بنابراین، نتایج مدل خازنی بدست آمده در این مقاله با تقریب خوبی نتایج حاصل از شبیه سازی را بدست می‌دهد.

۴- نتیجه‌گیری

در این مقاله مدل مداری افزاره سیلیکون روی الماس دولایه نزدیک ولتاژ آستانه بدست آمده است. برای مقایسه عملکرد این مدل،

ولتاژ آستانه محاسبه شده به کمک ماتریس گره را با نتایج شبیه‌سازی در پارامترهای مختلف افزاره بررسی کردیم که نتایج اختلاف این دو نمودار در ضخامت‌های مختلف دی اکسید گیت (t_{OX}) ، ضخامت لایه سیلیکونی زیر گیت (t_{si}) و ضخامت عایق‌های دفن شده (t_d) و (t_{BI}) انجام شد و نتایج حاصل از این نمودار ها تقریب بسیار خوب نتایج شبیه‌سازی با مدل را نشان می‌دهد.

مراجع

[1] Hu, C., Modern semiconductor devices for integrated circuits / Chenming Calvin Hu. Upper Saddle River, N.J: Prentice Hal, 2010.

[2] Sugii, N., Low-power-consumption fully depleted silicon-on-insulator technology. Microelectronic Engineering, Vol. 132, p. 226-235, 2015.

[3] Taur, Y., CMOS design near the limit of scaling. IBM Journal of Research and Development, Vol. 46, no. 2 and 3, p. 222-213, 2002.

[4] Sviličić, B., V. Jovanović, and T. Suligoj, Vertical silicon-on-nothing FET: Threshold voltage calculation using compact capacitance model. Solid-State Electronics, Vol. 52, no. 10, p. 1511-1505, 2008.

[5] Daghighi A. and Hematian H, Diamond-Shaped Body contact for on-state brealdown voltage improvement of SOI LDMOSFET, Vol. 129, p. 182-187, 2017.

[6] Daghighi A., Output-Conductance Transition-Free Method for Improving the Radio-Frequency Linearity of Silicon-on-Insulator MOSFET, IEEE Transactions on Electron Devices, Vol. 61, no. 7, p. 2257-2263, 2014.

[7] Colinge, J.-P., Silicon-on-insulator technology: materials to VLSI: materials to Vlsi. Springer Science & Business Media, 2004.

[۸] سپهری زهرا و دقیقی آرش ، بدست آوردن رابطه‌ی ولتاژ آستانه در ماسفت‌های سیلیکون روی الماس با طول کانال 22 نانومتر و یک لایه عایق اضافی، نشریه مهندسی برق و الکترونیک ایران، ۱۶ (۲)، ۵۷-۶۴، ۱۳۹۸.

[9] Marshall, A. and S. Natarajan, SOI design: analog, memory and digital techniques: Springer Science & Business Media 2007.

[10] James B. Kuo, S.C.L., Low- Voltage SOI CMOS VLSI Devices and Circuits, ed. 1st edition: John Wiley & Sons., 2002.

[۱۱] دقیقی آرش، حسینی زهرا، بررسی و شبیه‌سازی تأثیر میزان غلظت ناخالصی زیرلایه بر زمان تأخیر کلیدزنی در ترانزیستورهای اثر میدان UTBB ۲۲nm سیلیکون روی عایق دولایه، نشریه مهندسی برق و الکترونیک ایران. ۱۸ (۱)، ۴۳-۳۷، ۱۴۰۰.

[12] Hashemi SA., Beigi K. and Jit S., Modeling of fringing capacitances of ion-implanted double-gate junctionless FETs using conformal mapping, IEEE Transactions on Electron Devices, Vol. 66, no. 10, p. 4126-4133, 2019.

[13] Kato, K., T. Wada, and K. Taniguchi, Analysis of kink characteristics in silicon-on-insulator MOSFET's using two-carrier modeling, IEEE Transactions on Electron Devices, Vol. 32, no. 2, p. 462-458, 1985.

[14] Choi, J.-Y. and J.G. Fossum, Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFET's, IEEE Transactions on Electron Devices, Vol. 38, no. 6, p. 1384-1391, 1991.

[15] Cristoloveanu, S .and S. Li, Electrical characterization of silicon-on-insulator materials and devices, The Springer International Series in Engineering and Computer Science Vol. 305, 1995.

[16] Bawedin, M., C. Renaux, and D. Flandre, LDMOS in SOI technology with very-thin silicon film. Solid-state electronics, Vol. 48, no. 12, p. 2263-2270, 2004.

[17] Fiegna, C., et al., Analysis of self-heating effects in ultrathin-body SOI MOSFETs by device simulation. IEEE Transactions on Electron Devices, Vol. 55, no. 1, p. 233-244, 2007.

[18] Bresson, N., et al., Integration of buried insulators with high thermal conductivity in SOI MOSFETs: Thermal properties and short channel effects. Solid-State Electronics, Vol. 49, no. 9, p. 1522-1528, 2005.

[19] Daghighi, A., A novel structure to improve DIBL in fully-depleted silicon-on-diamond substrate. Diamond and Related Materials, Vol. 40, p. 51-55, 2013.

[20] Arash Daghighi, Double Insulating Silicon-on-Diamond MOSFET, USPTO Patent Office, US9077588B2, 2015.

[21] Xiang Y., Further study on electrostatic capacitance of an inclined plate capacitor, Journal of Electrostatics, Vol. 66, p. 366-368, 2008.

[22] Xiang Y., The electrostatic capacitance of an inclined plate capacitor, Journal of Electrostatics Vol. 64, p. 29–34, 2006.

[23] Aleksov, A., et al., Silicon-on-Diamond—An engineered substrate for electronic applications, Diamond and related materials, Vol. 15, no. 2-3, p. 248-253, 2006.

[24] Sviličić, B., V. Jovanović, and T. Suligoj, Analysis of subthreshold conduction in short-channel recessed source/drain UTB SOI MOSFETs. Solid-state electronics, Vol. 54, no. 5, p. 545-551, 2010.

[25] DESSIS, ISE Integrated System Engineering, Version 10.0, 2004.

زیرنویس‌ها

[1] Semiconductor
[2] Silicon
[3] Germanium
[4] Fully Depleted SOI
[5] Partially Depleted SOI
[6] thick film
[7] thin film
[8] Heat sink
[9] Silicon-on-diomond
[10] Double insulating silicon-on-diamond MOSFET