طراحی مدولاتور سیگما دلتا کم توان دوحالته با قابلیت پیکربندی مجدد برای استانداردهای GSM و WCDMA

مجید چاروسایی[۱] خلیل منفردی[۲] موسی یوسفی[۳]

۱-دانش آموخته کارشناسی ارشد- دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران
m.charoosaei@azaruniv.ac.ir

۲- دانشیار- دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران
khmonfaredi@azaruniv.ac.ir

۳- استادیار- دانشکده فنی و مهندسی، دانشگاه شهید مدنی آذربایجان، تبریز، ایران
m.yousefi@azaruniv.ac.ir

چکیده: این مقاله یک مدولاتور سیگما دلتای آبشاری ۲-۲ با قابلیت پیکربندی مجدد را ارائه می‌کند که می‌تواند استانداردهای GSM و WCDMA را پوشش دهد. مدولاتور با استفاده از یک ساختار کم اعوجاج که مناسب کاربردهای باند گسترده است، ساخته شده است. در حالت GSM، فقط طبقه اول روشن می‌شود که محدوده دینامیکی ۸۳dB را در نرخ فرانمونه‌برداری ۱۶۰ و در پهنای باند ۲۰۰kHz، ایجاد می‌کند. در حالت WCDMA، یک ساختار آبشاری ۲-۲ (مرتبه ۴) که هر دو طبقه یک بیتی می‌باشند، روشن می‌باشد که در طبقه دوم محدوده دینامیکی ۶۵dB را در نرخ فرانمونه‌برداری ۱۶ و در پهنای باند۲MHz، ایجاد می‌کند. نتایج شبیه‌سازی نشان می‌دهد که طرح مورد نظر در مقایسه با کارهای مشابه از توان مصرفی پایین‌تری برخوردار است. مدولاتور در محیط نرم‌افزار Cadence و با استفاده از تکنولوژی ۱۸۰nm شبیه‌سازی شده است و در ولتاژ تغذیه ۱/۸ ولت عمل می‌کند.

واژه‌های کلیدی: مدولاتور سیگما دلتای آبشاری، دوحالته، قابلیت پیکربندی مجدد، استانداردهای GSM و WCDMA

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.21.1.77

تاریخ ارسال مقاله: ۱۴۰۰/۸/۱۰
تاریخ پذیرش مشروط مقاله: ۱۴۰۱/۸/۲۲
تاریخ پذیرش مقاله: ۱۴۰۱/۰۹/۱۰
نام نویسنده‌ی مسئول: دکتر موسی یوسفی
نشانی نویسنده‌ی مسئول: ایران – تبریز - ۳۵ کیلومتر جاده تبریز مراغه- دانشگاه شهید مدنی ـ آذربایجان

۱- مقدمه

امروزه نیاز به ذخیره‌سازی و پردازش اطلاعات در دنیای دیجیتال بیش از پیش احساس می‌شود. دنیای دیجیتال از قابلیت‌های منحصر به فردی از قبیل: قابلیت مجتمع‌سازی بالا، انعطاف‌پذیری، قابلیت عملکردی مناسب، قابلیت تست دقیق و راحت، رسیدن به دقت‌های دلخواه و حساسیت کم به نویز آنالوگ برخوردار است که باعث می‌شود مدارهای مجتمع دیجیتالی روز به روز به طور مضاعفی توسعه یابند [۱].

با توجه به ماهیت ذاتی آنالوگ بسیاری از اطلاعات، برای بهره‌مندی از پردازش این اطلاعات در دنیای دیجیتال، استفاده از مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ غیرقابل اجتناب است. برای کاهش هزینه، افزایش راندمان و قابلیت اطمینان بالا، مجتمع کردن مبدل‌ها و پردازشگرهای دیجیتال در یک تراشه با یک تکنولوژی و اغلب در یک بستر ضروری به نظر می‌رسد [۱]. تبدیل سیستم‌های آنالوگ به سیستم‌های دیجیتال علاوه‌بر حذف بسیاری از شرایط نامطلوب (مانند نویز و خطاهای ناشی از عناصر غیردقیق آنالوگ) قابلیت طراحی دقیق و سریع و استفاده از ابزارهای پیشرفته و قابل اعتماد را در اختیار طراحان قرار می‌دهد [۲].

مبدل‌های آنالوگ به دیجیتال یکی از بلوک‌های اساسی هر سیستم پردازش سیگنال می‌باشد که امروزه به وفور در تمامی تجهیزات اندازه‌گیری، پردازشگرهای موازی و غیره مورد استفاده قرار می‌گیرند [۳, ۴]. یکی از کاربردهای گسترده آن‌ها در گیرنده‌های تلفن همراه می‌باشد. سیستم‌های ارتباط بی‌سیم به منظور پوشش‌دهی استانداردهای ارتباطی مختلف مانند GSM[۱]، WCDMA[۲]، UMTS[۳] و WLAN[۴] به یک گیرنده نیازمند می‌باشند [۵, ۶].

با گسترش روزافزون استانداردهای مختلف بی‌سیم برای گوشی‌های تلفن موبایل باید راه‌حلی ارائه شود که با استفاده از آن بتوان تمامی این استانداردهای متنوع را که دارای مشخصات متفاوتی بوده و برای اهداف گوناگونی همچون انتقال داده، صوت، تصویر به کار می‌روند را پشتیبانی نمود.

ADC[۵] موجود در گیرنده چند حالته باید به گونه‌ای انعطاف‌پذیر باشد که بتواند مشخصه‌های مختلف پهنای باند و وضوح را تامین کند. ADCهای سیگما دلتا به دلیل SNR[۶] بالای آن‌ها در باند باریک و همچنین مصالحه ذاتی بین پهنای باند و وضوح و همچنین شکل‌دهی نویز بهترین گزینه در گیرنده‌های چند حالته می‌باشند [۷].

مزایای ADCهای سیگما دلتا فراهم کردن وضوح بالا با بکارگیری بلوک‌های دقت پایین می‌باشد که در واقع به دلیل نرخ فرانمونه‌برداری بالا و شکل‌دهی نویز آن‌ها می‌باشد. در واقع هر موقع که نیاز باشد پهنای باند زیاد باشد، نرخ فرانمونه‌برداری کاهش می‌یابد که به موجب آن وضوح نیز کاهش می‌یابد [۱, ۸, ۹]

به عبارت یگر مبدل‌های دلتا سیگما بهترین انتخاب در کاربردهای فرکانس پایین و دقت بالا محسوب می‌شوند. این مبدل‌ها با تعادل بین سرعت و دقت، می‌توانند به دقت‌های بالاتری نسبت به دیگر مبدل ها با توان کمتر و ساختار ساده‌تر دست یابند [۱۰].

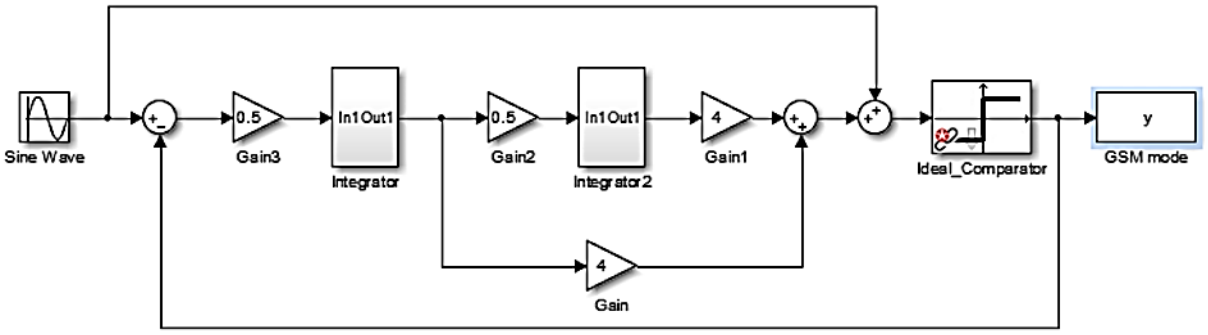
علاوه بر موارد گفته شده، این مبدل‌ها در کاربردهای باند وسیع همچون استانداردهای مخابراتی دیجیتال و همچنین گیرنده‌های تلفن همراه مورد استفاده قرار گرفته و به رقیبی برای سایر روش‌های آنالوگ به دیجیتال پر سرعت از جمله مبدل‌های پایپ‌لاین تبدیل شده‌اند. طراحی مدولاتورهای سیگما دلتا برای دستیابی به وضوح بالا و پهنای باند گسترده چالش‌های مختلفی ایجاد می‌کند. مدولاتورهای سیگما دلتای چند استانداردی بسیاری برای کاربردهای بی‌سیم مانند GSM و WCDMA ارائه شده است [۱۱].

تجهیزاتی که برای اهداف مولتی استاندارد و بی‌سیم طراحی می‌شوند باید بتوانند چندین استاندارد مختلف را به طور همزمان پشتیبانی کنند، محدوده دینامیکی[۷] قابل قبول برای تمامی آن‌ها را فراهم آورند، و مهم‌تر اینکه توان مصرفی کمی داشته و فضای کمی را در تراشه اشغال کنند. برای انجام این کار در مقالات مختلف روش‌هایی پیشنهاد شده است. از جمله اینکه مبدل ADC طراحی شود که دارای بالاترین قابلیت بوده و بتواند شرایطی که توسط سخت‌ترین استاندارد تحمیل می‌شود را برآورده کند. اما چنین مبدلی توانی که مصرف می‌کند به شدت بالا خواهد بود [۷].

راه حل دیگری که پیشنهاد شده است طراحی مبدل ADC با قابلیت تنظیم بین چند استاندارد مختلف است. به این صورت که برای هر استانداردی که لازم شد بتوان آن را تغییر داد تا با مشخصات مورد نیاز آن استاندارد خاص مطابقت داشته باشد. چنین مبدل آنالوگ به دیجیتالی را ADC با قابلیت پیکر بندی مجدد می‌نامند [۶, ۷].

در این مقاله بخش مدولاتور یک ADC سیگما دلتا با ساختار قابل تغییر برای سیستم‌های بی‌سیم چند استانداردی طراحی شده است به طوری که بتواند استانداردهای GSM و WCDMA راپشتیبانی کند. گیرنده‌های تلفن همراه مطابق روشی که در این مقاله مورد نظر است نیاز به مدولاتور چند حالته دارند و همچنین اینکه هر یک از این حالت‌ها (استانداردها) دارای مشخصات عملکردی خاصی هستند. در صورتی که ADC را برای یک استاندارد خاص طراحی شود که مشخصات آن استاندارد برای ADC فراگیرتر از همه باشد، آنگاه اگر همان ADC برای استاندارد دومی به کار برده شود توان مصرفی بسیار بالاتری نسبت به یک ADC که برای استاندارد دومی ساخته شده است دارد.

بنابراین برای اینکه مصرف توان برای استانداردهای مختلف با محدوده‌های دینامیکی مختلف و پهنای‌باند مختلف در کمترین مقدار ممکن نگه داشته شود یک ADC با ساختار قابل تغییر راه حل بسیار خوبی خواهد بود. از میان ADCهای مختلف ADCهای سیگما دلتا گزینه بسیار خوبی برای این منظور هستند، چرا که می‌توانند تعداد



شکل (۱): ساختار فشرده‌ساز نوسان‌ساز کم اعوجاج

بیت‌های بالاتری را بدست می‌دهند و نرخ نمونه‌برداری و همچنین مرتبه مدولاتور آن‌ها به راحتی قابل تغییرند.

در تمامی ساختارهای معرفی شده در مراجع [۱۲] و [۱۳] از ساختارهای مرسوم برای مرتبه ۲، ۴ و بالاتر استفاده کرده‌اند که این ساختارها به عیوب مداری حساس می‌باشند. در این طراحی، یک ساختار دو حالته مرتبه ۲ با مسیر جلو رونده[۸] برای حالت GSM و مرتبه ۴ برای حالت WCDMA استفاده شده است که حساسیت به غیرخطینگی تقویت‌کننده را کاهش می‌دهد. جدول (۱) مشخصات مورد نیاز برای این دو استاندارد را نشان می‌دهد.

در ادامه مقاله، بخش ۲ به ساختار مدولاتور و به دست آوردن مشخصات آن در سطح سیستمی می‌پردازد. بخش ۳ طراحی مدولاتور در سطح مداری را شامل می‌شود که در ولتاژ تغذیه ۱/۸ ولت عمل کرده و در فناوری ۱۸۰ نانومتر CMOS[۹] شبیه‌سازی شده است. بخش ۴ نتایج شبیه‌سازی را نشان می‌دهد. در نهایت مقاله در بخش ۵ با نتیجه‌گیری به پایان می‌رسد.

جدول (۱) : مشخصات مورد نیاز برای استانداردهای گیرنده دو حالته

محدوده دینامیکی	پهنای باند کانال	استاندارد بی‌سیم
> 80 dB	200 KHz	GSM
> 60 dB	2 MHz	WCDMA

۲- ساختار مدولاتور

در این قسمت ابتدا به شرح مختصر توپولوژی فشرده‌سازی نوسان‌ساز کم اعوجاج خواهیم پرداخت که از حساسیت کمتری نسبت به مشخصه‌های غیرایده‌آل انتگرال‌گیر برخوردار است. در این قسمت ابتدا به معرفی ساختار سیگما دلتای تک مرحله‌ای برای GSM خواهیم پرداخت که نسبت به خواص غیرایده‌آل آپ‌امپ از حساسیت کمتر و اعوجاج پایین‌تری برخوردار است. توپولوژی مذکور مسئله اعوجاج غیرخطی را با حذف تابع انتقال $I_1(z)$-X(z) و $I_1(z)$-X(z) بوسیله قراردادن STF(z)=1[۱۰] رفع می‌نماید که مدار آن را می‌توان به صورت شکل (۱) در نظر گرفت. $I_1(z)$ و $I_2(z)$ و به ترتیب خروجی انتگرال‌گیرهای اول و دوم می‌باشند و X، Y1 و Y به ترتیب سیگنال ورودی، خروجی طبقه اول و خروجی کل است.

تابع انتقال سیستم و نویز مربوط به شکل (۱) به ترتیب برابرند با:

$$STF(z)=1,\quad NTF(z)=(1-z^{-1})^2 \quad (۱)$$

با حلقه جلو رونده سیگنال ورودی می‌توان از تاثیر تابع انتقال نویز چشم‌پوشی کرد با این‌حال انتگرال‌گیرها نویز کوانتیزه را پردازش خواهند کرد. از مزایای سیستم فوق می‌توان به استفاده تنها از یک بلوک دیجیتال به آنالوگ در مسیر فیدبک اشاره کرد [۸, ۱۴].

۲-۱- نحوه به دست آوردن ضرایب بهره مدلاتور پیشنهادی

براساس شماتیک مداری شکل (۲) و نوشتن روابط ریاضی حاکم، معادله (۲) برای $Y_1(z)$ به دست می‌آید.

$$Y_1(z)=(X(z)-Y_1(z))\left(g_1\frac{z^{-1}}{1-z^{-1}}\right)\left[\left(g_2g_3\frac{z^{-1}}{1-z^{-1}}\right)+g_4\right]+X(z)+Q_1(z)$$

$$Y_1(z)\times P(z)=X(z)\times P(z)+Q_1(z)=STF(z)\times X(z)+NTF(z)\times Q_1(z) \quad (۲)$$

که در آن $P(z)$ به صورت معادله (۳) به دست می‌آید:

$$P(z)=1+g_1g_2g_3\left(\frac{z^{-2}}{(1-z^{-1})^2}\right)+g_1g_4\left(\frac{z^{-1}}{1-z^{-1}}\right) \quad (۳)$$

حال با در نظر گرفتن روابط (۴) و (۵) می‌توان ضرایب بهره مدلاتور پیشنهادی را محاسبه کرد:

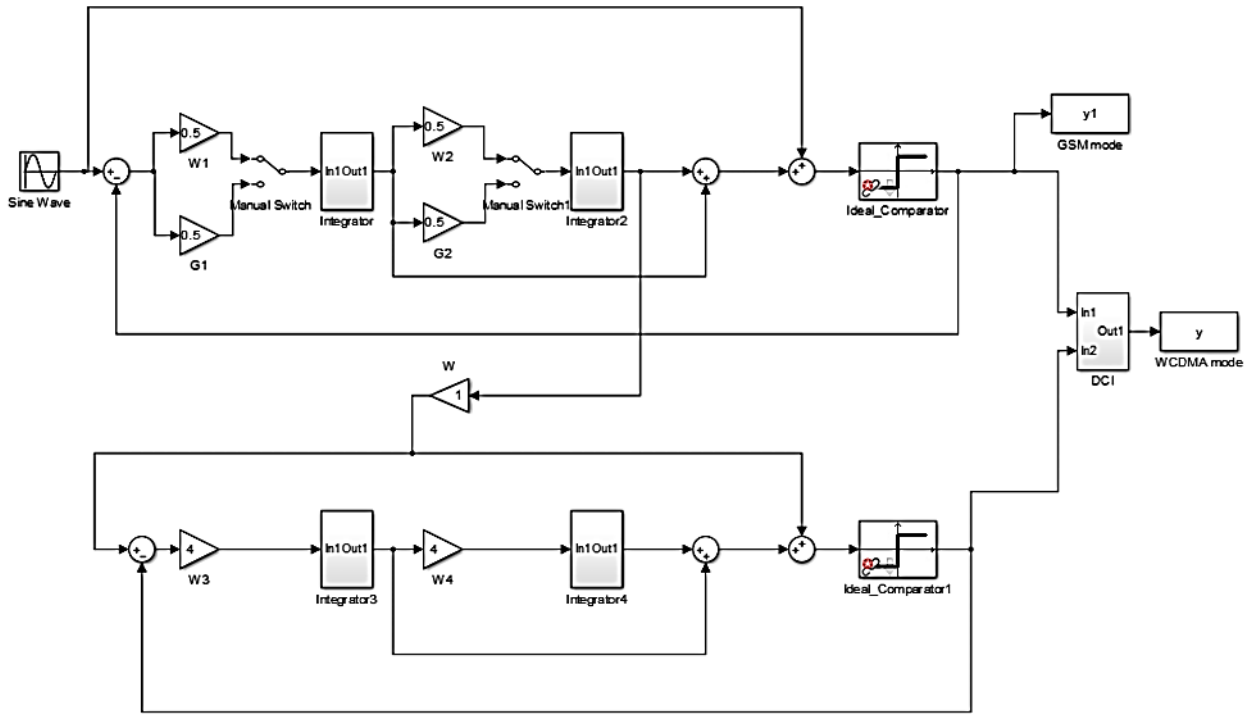
$$STF(z)=1 \quad (۴)$$

$$NTF(z)=\frac{1}{P(z)} \quad (۵)$$

با مقایسه روابط (۱) و (۵) خواهیم داشت:

$$g_1g_4-2=0\rightarrow g_1g_4=2$$
$$1+g_1g_2g_3-g_1g_4=0\rightarrow g_1g_2g_3=1 \quad (۶)$$

حال اگر $g_1=0.5$ باشد آنگاه $g_4=\frac{2}{0.5}=4$ خواهد شد. همچنین از رابطه $g_1g_2g_3=1$ می‌توان ترکیب g_2g_3 را به صورت مقابل $g_2g_3=\frac{1}{0.5}=2$ محاسبه کرد و لذا معادله خروجی دومین انتگرال‌گیر برابر می‌شود با:



شکل (۲): ساختار مبدل آنالوگ به دیجیتال برای دو حالت WCDMA/GSM

$$I_2(z)=(X(z)-Y_1(z))(g_1\frac{z^{-1}}{1-z^{-1}}g_2\frac{z^{-1}}{1-z^{-1}}) \quad (۷)$$
$$=-g_1g_2z^{-2}Q_1(z)$$

حال با فرض $g_2=0.5$ می‌توان $g_3=\frac{2}{0.5}=4$ در نظر گرفت و در این‌صورت ضرایب بهره انتگرال‌گیر برابر می‌شوند با $g_1=0.5$، $g_2=0.5$، $g_3=4$ و $g_4=4$.

با توجه به معادلات (۶) ترکیبات بیشماری برای g_1 و g_2 می‌توان نوشت که در معادله مذکور صدق کنند. با شبیه‌سازی‌های عددی می‌توان مقدار بهینه را برای این دو پارامتر در نظر گرفت.

همچنین برای حذف خطای ایجاد شده به صورت زیر باید اقدام کرد.

اگر خروجی مرحله اول برابر شود با:

$$Y_1(z)=X(z)+(1-z^{-1})^2Q_1(z) \quad (۸)$$

در این‌صورت با قرار دادن معادله $I_2(z)$ می‌توان خروجی مرحله دوم را به صورت زیر به دست آورد:

$$Y_2(z)=I_2(z)+(1-z^{-1})^2Q_2(z) \quad (۹)$$
$$=-g_1g_2z^{-2}Q_1(z)+(1-z^{-1})^2Q_2(z)$$

با ضرب معادله (۸) در z^{-2} و ضرب $\frac{1}{g_1g_2}(1-z^{-1})^2$ در رابطه (۹) می‌توان به معادلات زیر دست یافت:

$$z^{-2}Y_1(z)=z^{-2}X(z)+z^{-2}(1-z^{-1})^2Q_1(z) \quad (۱۰)$$

$$\frac{1}{g_1g_2}(1-z^{-1})^2Y_2(z)=$$
$$-z^{-2}(1-z^{-1})^2Q_1(z)+\frac{1}{g_1g_2}(1-z^{-1})^4Q_2(z) \quad (۱۱)$$

و با جمع معادلات فوق، خواهیم داشت:

$$z^{-2}Y_1(z)+\frac{1}{g_1g_2}(1-z^{-1})^2Y_2(z) \quad (۱۲)$$
$$=z^{-2}X(z)+\frac{1}{g_1g_2}(1-z^{-1})^4Q_2(z)$$

در نتیجه خروجی به صورت زیر به دست می‌آید:

$$Y(z)=z^{-2}X(z)+\frac{1}{g_1g_2}(1-z^{-1})^4Q_2(z) \quad (۱۳)$$

جدول (۲) ضرایب انتخابی را برای دو حالت GSM و WCDMA نشان می‌دهد.

جدول (۲): ضرایب بهره انتگرال‌گیر

GSM		WCDMA	
ضرایب	مقادیر	ضرایب	**مقادیر**
g_1	0.5	W_1	**0.5**
g_2	0.5	W_2	**0.5**
g_3	4.0	W_3	**4.0**
g_4	4.0	W_4	**4.0**

شبیه‌سازی‌های متعددی جهت به دست آوردن مشخصات سیستمی طرح مورد نظر می‌توان انجام داد و سیستم را از نظر موارد غیرایده‌آلی مانند: بهره و پهنای باند محدود انتگرال‌گیر، لغزش[11]

نمونه‌برداری، نویز KT/C، نرخ چرخش انتگرال‌گیر بررسی کرد [۱۵, ۱۶].

۳- طراحی سطح مداری

مدولاتور سیگما دلتای مورد نظر در تکنولوژی CMOS ۱۸۰nm و در ولتاژ تغذیه ۱/۸ ولت طراحی شده است [۱۷].

پیاده‌سازی مداری ساختار مرتبه ۴ برای پوشش‌دهی هر دو حالت (طبقه اول GSM و طبقه دوم WCDMA) در شکل (۳) نشان داده شده است. این مدولاتور سیگما دلتای دوحالته برای استفاده در گیرنده GSM و WCDMA به صورت یک مدار کلیدزنی خازنی تمام تفاضلی پیاده‌سازی شده و در نرم‌افزار Cadence شبیه‌سازی شده است. همچنین طراحی بلوک‌های مداری اصلی تشکیل دهنده مدولاتور نظیر تقویت‌کننده‌های ترارسانایی (OTA)، کلیدها، خازن‌ها، مدارهای پالس ساعت و مقایسه‌کننده انجام شده و شبیه‌سازی شده‌اند [۱۸, ۱۹].

همان‌طور که در پیاده‌سازی مدلاتور سیگما دلتای مرتبه دوم با مسیر سیگما دلتای جلو رونده در حالت GSM و پس از آن در حالت مرتبه چهار WCDMA، در شکل (۳) مشاهده می‌شود، مسیرهای جلو رونده به صورت شبکه‌های کلیدزنی خازنی به ورودی کوانتیزر متصل می‌شوند.

برای هر دو ساختار GSM و WCDMA مقادیر خازن‌های $C = C_1 = 1\mu F$ هستند.

مقادیر خازن‌های نمونه‌بردار و انتگرال‌گیر با توجه به شرایط تطبیق و نویز برای حالت‌های GSM و WCDMA به ترتیب به صورت زیر می‌باشند:

برای طبقه اول GSM	$C_{i1} = 2\mu F$ $C_{s1} = 1\mu F$ $C_{i2} = 0.5\mu F$ $C_{s2} = 0.2\mu F$
برای طبقه دوم WCDMA	$C_{i1} = 4\mu F$ $C_{s1} = 2\mu F$ $C_{i2} = 1\mu F$ $C_{s2} = 0.4\mu F$

۳-۱-تقویت‌کننده EIRFC[۱۲]

در این مقاله تقویت‌کننده ای به نام EIRFC مورد استفاده قرار گرفته که در شکل (۴) نشان داده شده است. این تقویت‌کننده با استفاده از یک فیدبک مثبت در گره آبشاری موجب بالا رفتن بهره حالت تفاضلی[۱۳] (DM) می‌شود. این در حالی است که پهنای باند بهره واحد UGB[۱۴] بدون تغییر می‌ماند و بهره حالت مشترک[۱۵] (CM) پایین می‌آید. نتایج شبیه‌سازی انجام شده نشان می‌دهد که بهره تقویت‌کننده EIRFC نسبت به IRFC در حالت تفاضلی حدود ۶ dB بیشتر و در حالت مشترک حدود ۳۹ dB کمتر است. جدول (۳) مشخصات OTA[۱۶] به کار رفته در مدولاتور مورد نظر را نشان می‌دهد [۱۸, ۲۰, ۲۱].

جدول (۳): مشخصات EIRFC

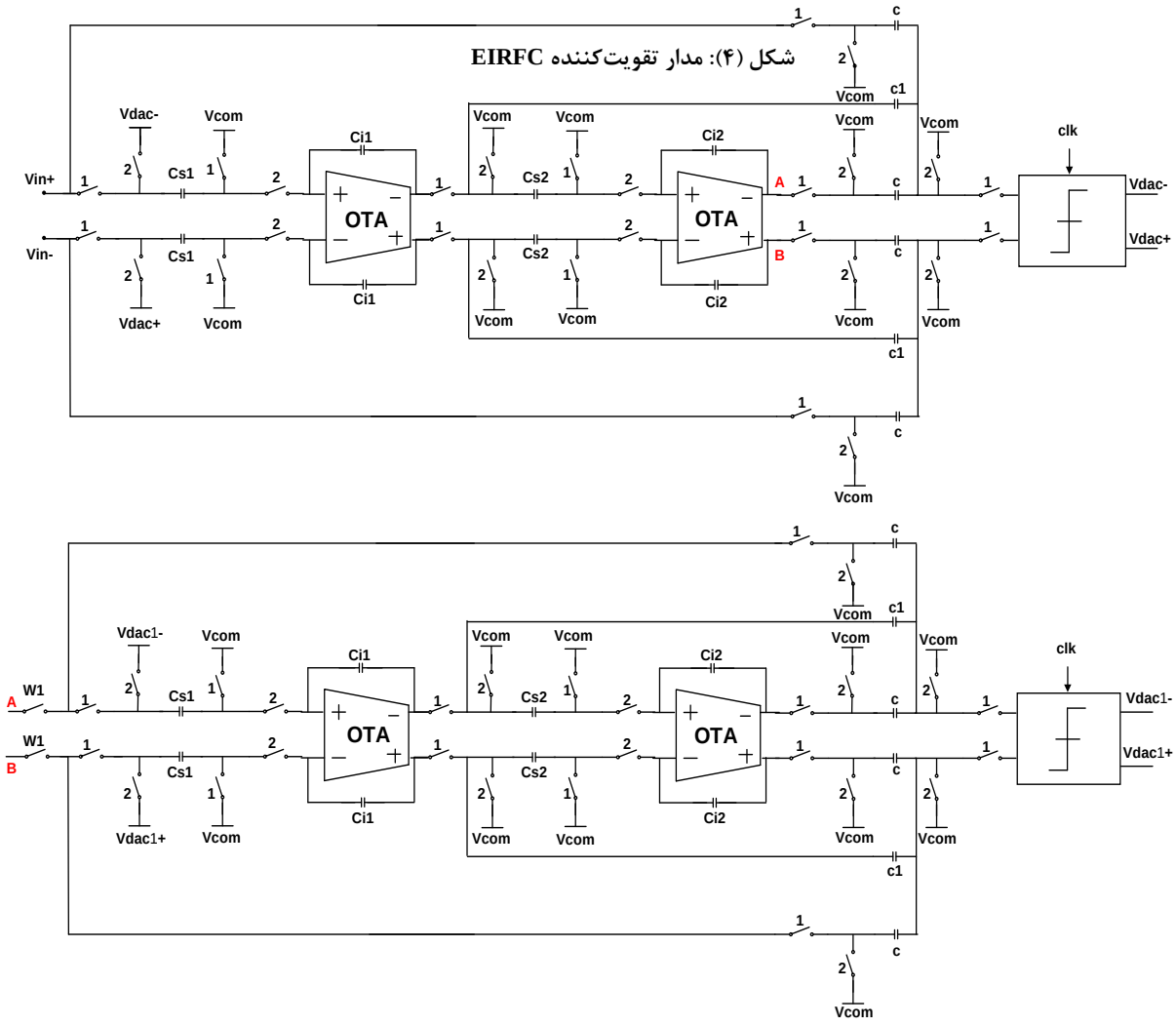
مشخصات OTA	مقدار
بهره DC	**۴۰/۵**
پهنای باند بهره واحد (GBW)	**۱۴۳ MHz**
نرخ چرخش (SR)	**۲۷ v/us**
حد فاز	**۵۰/۷**
توان مصرفی	**۱/۱۵ mW**
تکنولوژی	**۱۸۰ nm**

۳-۲- مقایسه‌کننده

بلوک دیگر به کار رفته در این مدولاتور بلوک مقایسه‌کننده است که در قسمت کوانتیزر تعبیه می‌شود. مدولاتور دلتا سیگما اصولاً دقت بالایی دارد و با وجود شکل‌دهی نویز به همراه فرانمونه‌برداری، کوانتایزر در این مدولاتور بسیار ساده پیاده‌سازی می‌شود. لذا مقایسه‌گرها که خود عنصر اصلی و کلیدی در طراحی کوانتایزر هستند نیازی به پیچیده و دقت بالا ندارد. در این مقاله از مقایسه‌گر مرجع [۲۲] استفاده شده است. این مقایسه‌گر در شکل (۵) نشان داده شده است.

۳-۳- پالس‌های ساعت

در مدارهای کلیدزنی خازنی، دو پالس ساعت با فاز غیرتداخلی مورد نیاز است تا با استفاده از نسخه تاخیریافته هر پالس ساعت فازی بتوان اثر تزریق شارژ را کاهش داد. مدار مولد پالس‌های ساعت با فاز غیرتداخلی در شکل (۶) نشان داده شده است.

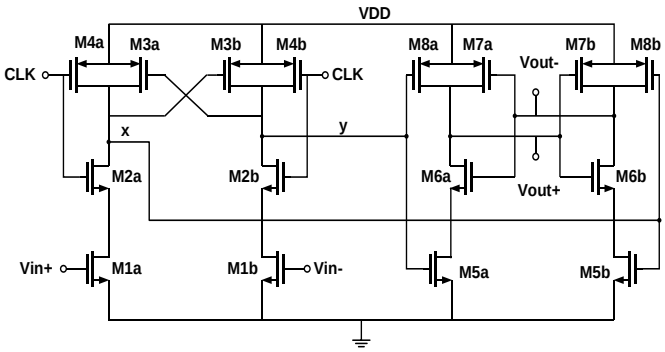


شکل (۳): مدار مدولاتور سیگما دلتا مرتبه ۴ برای هر دو حالت GSM و WCDMA

۴- نتایج شبیه‌سازی

مدلاتور سیگما دلتا در تکنولوژی CMOS ۱۸۰nm طراحی شده است و در ولتاژ تغذیه ۱/۸ ولت با نرم‌افزار کیدنس شبیه‌سازی شده‌اند. برای بررسی عملکرد مدار از آنالیز تحلیل فوریه سریع[۱۷] (FFT[۱۸]) با تعداد ۸۱۹۲ نقطه شبیه‌سازی استفاده شده است. برای این امر زمانی برابر با ۱۲۸۰۱۱/۳ نانوثانیه برای شبیه‌سازی در نظر گرفته شد.

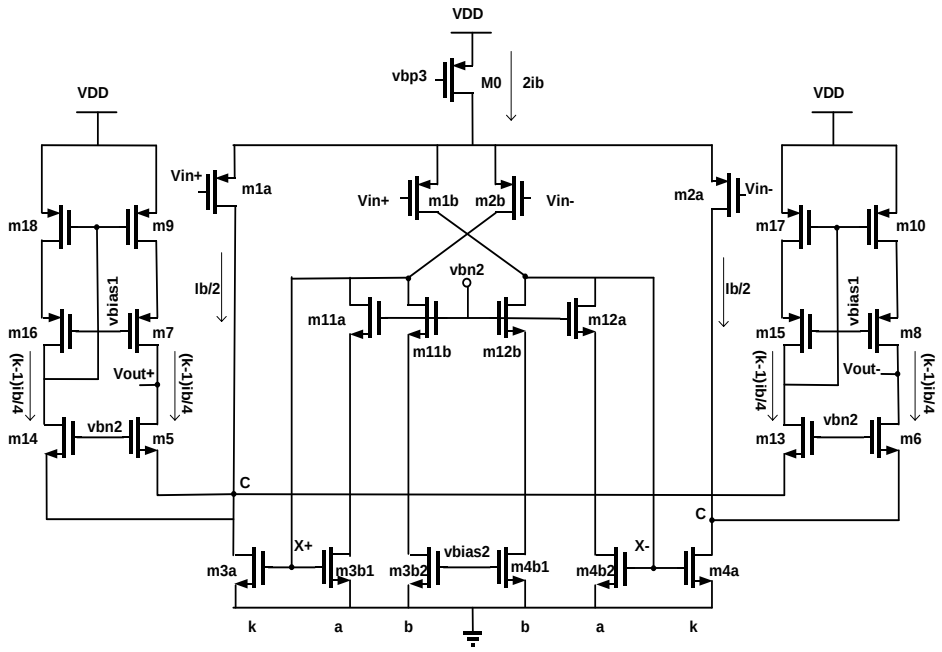
فرکانس نمونه‌برداری برای ۶۴ مگاهرتز، دامنه سیگنال ورودی ۰/۵ ولت در فرکانس ۱۰۰ کیلوهرتز و ۱ مگاهرتز و نرخ فرانمونه‌بردار ۱۶۰ و ۱۶ به ترتیب برای حالت‌های GSM و WCDMA در نظر گرفته شده است. شکل (۷) و (۸) نمودارهای چگالی طیف توان و محدوده دینامیکی مربوط به مدولاتور را نشان می‌دهند. در نهایت این مدولاتور با کارهای مشابه چندستانداردی که قبلاً ارائه شده است مقایسه می‌شود که نتیجه این مقایسه در جدول (۴) خلاصه شده است.



شکل (۵): مدار مقایسه‌گر ساده و کم توان

۵- نتیجه‌گیری

در این مقاله یک مدولاتور دو حالته با توان مصرفی پایین دارای فرکانس نمونه‌برداری ۶۴ MHz و نرخ فرانمونه‌برداری ۱۶۰ و ۱۶، برای

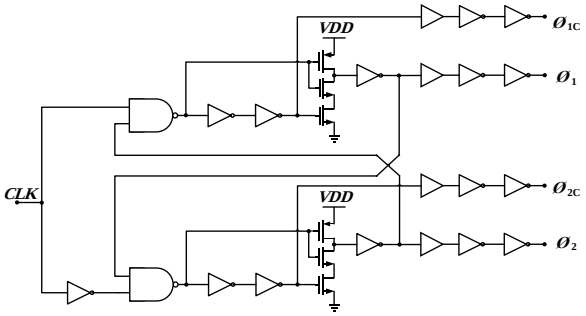


شکل (۴) : مدار تقویت‌کننده EIRFC

پوشش‌دهی پهنای باند ۲۰۰ KHz و ۲ MHz و برای دستیابی به محدوده دینامیکی DR بیش از ۸۰ dB و ۶۰ dB به ترتیب برای حالت‌های GSM و WCDMA در ولتاژ تغذیه ۱/۸ ولت طراحی شده است. براساس این شبیه‌سازی‌ها که در تکنولوژی ۱۸۰ نانومتر CMOS و در محیط نرم‌افزار کیدنس انجام شده است، مدولاتور دارای SNDR حدود ۷۷ dB و ۶۲ dB و مقدار توان مصرفی در تغذیه ۱/۸ ولت، ۲/۵۲ میلی‌وات و ۵/۰۴۳ میلی‌وات به‌ترتیب برای حالت‌های GSM و WCDMA می‌باشد.

جدول (۴) مقایسه مدولاتور با کارهای انجام شده

مراجع	تکنولوژی nm	استاندارد	BW (kHz)	OSR	Fs (MHz)	SNDR (dB)	Power (mW)	FOM (pJ/conv.)
[۵]	۱۸۰	GSM	**0.1**	**200**	**5**	**82**	**4.867**	**2.36**
		WCDMA	**2**	**200**	**20**	**62**	**4.867**	**1.18**
[۷]	۱۳۰	GSM	**0.11**	**32**	**0.9**	**78.4**	**1.7**	**3.4**
		WCDMA	**2.1**	**32**	**1**	**58.6**	**1.7**	**1.2**
[۱۳]	۱۸۰	GSM	**0.2**	**128**	**51.2**	**70**	**5.5**	**5.34**
		WCDMA	**1.92**	**8**	**30.7**	**60**	**11**	**3.51**
[۲۳]	۶۵	GSM	**0.2**	.....	**48**	**84**	**3.3**	**0.63**
		WCDMA	**1.92**	.....	**96**	**49**	**3.6**	**4.09**
[۲۴]	۱۳۰	EDGE	**0.1**	**130**	**26**	**82.5**	**2**	**0.9**
		UMTS	**1.92**	**16**	**61.44**	**75.2**	**5.2**	**0.28**
		LTE	**5.1**	**8**	**160**	**70.9**	**5.2**	**0.47**
[۲۵]	۱۸۰	GSM	**0.2**	**160**	**64**	**90**	**7.1**	**0.68**
		WCDMA	**2**	**16**	**64**	**75**	**9.3**	**0.5**
		WLAN	**2**	**8**	**320**	**54**	**28.7**	**1.75**
کار پیشنهادی	۱۸۰	GSM	**0.2**	**160**	**64**	**77**	**2.52**	**1.09**
		WCDMA	**2**	**16**	**64**	**62**	**5.04**	**1.23**



شکل (۶): مدار تولید پالس ساعت

مراجع

[1] K. Monfaredi, Distributed unique-size MOS technique: a promising universal approach capable of resolving circuit design bottlenecks of modern era, Circuits, Systems, and Signal Processing, 38(2) (2019) 512-528.

[2] J.A. Castillo, J.J.O. Hidalgo, I.V. Álvarez, Delta-Sigma Converter Processing: aplicacion de herramienta de software libre para el analisis y caracterizacion de convertidores *fÃf´*, Pistas Educativas, 36(112) (2018).

[3] M.R. Farsi, K. Monfaredi, Design and simulation of high precision second-order sigma-delta modulator for

bluetooth applications, Journal of Engineering Science and Technology, 13(10) (2018) 3071-3079.
[4] M. Farsi, K. Monfaredi, Design and Simulation of Second Order Sigma-Delta Modulator with Very High Precision and Low Power Consumption for Medical Applications, Journal of Modeling in Engineering, 16(55) (2018) 191-197.
[5] D. Sharma, R. Paily, Multi-standard Σ-Δ Modulator for GSM/WCDMA Applications, IETE Journal of Research, 58(4) (2012) 292-299.
[6] B.M. Zaky, H.A. Omran, H.A. Elsayed, Reconfigurable Multi-Mode Sigma Delta Modulator for 5G Applications, in: 2021 38th National Radio Science Conference (NRSC), IEEE, 2021, pp. 223-231.
[7] A. Atac, Design of Low Power Reconfigurable Continuous Time Quadrature Bandpass ΔΣ ADCs for Multi-Standard SoC, Dissertation, Rheinisch-Westfälische Technische Hochschule Aachen, 2016, 2016.
[8] K. Monfaredi, S. Jan Mohammadi, Dynamic foreground calibration of binary-weighted current-steering DAC, Iranian Journal of Science and Technology, Transactions of Electrical Engineering, 43(4) (2019) 699-716.
[9] K. Monfaredi, M. Yousefi, Distributed MOS Transistor Technique to Facilitate Dynamic Element Matching Implementation Capability in Low Power 10–Bit Binary Digital to Analog Converter, Journal of Iranian Association of Electrical and Electronics Engineers, (2022) 0-0.
[10] A. Suanes, M. Dei, L. Terés, F. Serra-Graells, A 85dB-SNDR 50 kHz bootstrapping-free resistor-less SC Delta-Sigma modulator IP block for PVT-robust low-power ADCs, Integration, 84 (2022) 159-170.
[11] R. del Rio, M. Jose, CMOS sigma-delta converters: Practical design guide, John Wiley & Sons, 2013.
[12] L. Zhang, V. Nadig, M. Ismail, A high order multi-bit/spl sigma//spl delta/modulator for multi-standard wireless receiver, in: The 2004 47th Midwest Symposium on Circuits and Systems, 2004. MWSCAS'04., IEEE, 2004, pp. iii-379.
[13] B.J. Farahani, M. Ismail, A low power multi-standard sigma-delta ADC for WCDMA/GSM/Bluetooth applications, in: The 2nd Annual IEEE Northeast Workshop on Circuits and Systems, 2004. NEWCAS 2004., IEEE, 2004, pp. 241-243.
[14] S.J. Azhari, K. Monfaredi, S. Amiri, A 12-bit, low-voltage, nanoampere-based, ultralow-power, ultralow-glitch current-steering DAC for HDTV, International Nano Letters, 2(1) (2012) 1-7.
[15] S. Brigati, F. Francesconi, P. Malcovati, D. Tonietto, A. Baschirotto, F. Maloberti, Modeling sigma-delta modulator non-idealities in SIMULINK (R), in: 1999 IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 1999, pp. 384-387.
[16] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, A. Baschirotto, Behavioral modeling of switched-capacitor sigma-delta modulators, IEEE Transactions on Circuits and Systems I: Fundamental theory and applications, 50(3) (2003) 352-364.
[17] R. Sebastian, T. Shahana, B.R. Jose, Cascaded sigma delta modulator architectures for wideband ADCs, Cochin University of Science and Technology, 2020.
[18] M. Farsi, K. Monfaredi, A low voltage recycling folded cascode OTA based on novel CMRR magnifier, Journal of Telecommunication, Electronic and Computer Engineering (JTEC), 10(4) (2018) 37-42.
[19] K. Monfaredi, H. Faraji Baghtash, An extremely low-voltage and high-compliance current mirror, Circuits, Systems, and Signal Processing, 39(1) (2020) 30-53.
[20] M.T. Nguyen, C. Jabbour, C. Ouffoue, R. Mina, F. Sibille, P. Loumeau, P. Triaire, Direct delta-sigma receiver: Analysis, modelization and simulation, in: 2013 IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 2013, pp. 1035-1038.
[21] K. Monfaredi, Y. Belghisazar, Improved low voltage low power recycling folded fully differential cascode amplifier, TABRIZ Journal of electrical Engineering, 48(1) (2018) 327-334.
[22] A. Fazli Yeknami, A. Alvandpour, A 2.1 μW 80 dB SNR DT ΔΣ modulator for medical implant devices in 65 nm CMOS, Analog Integrated Circuits and Signal Processing, 77(1) (2013) 69-78.
[23] J. Jarvinen, K. Halonen, A 1.2 V Dual-Mode GSM/WCDMA-Modulator in 65nm CMOS, in: 2006 IEEE International Solid State Circuits Conference-Digest of Technical Papers, IEEE, 2006, pp. 1972-1981.
[24] T. Christen, Q. Huang, A 0.13 μm CMOS 0.1–20MHz bandwidth 86–70dB DR multi-mode DT ΔΣ ADC for IMT-Advanced, in: 2010 Proceedings of ESSCIRC, IEEE, 2010, pp. 414-417.
[25] M. Honarparvar, E.N. Aghdam, M. Shamsi, A. Zahedi, M. Zafaranchi, A low power, high performance multi-mode delta-sigma ADC for GSM, WCDMA and WLAN standards, in: 2011 International Conference on Electronic Devices, Systems and Applications (ICEDSA), IEEE, 2011, pp. 92-97.

زیر نویس‌ها

[1] Global System for Mobile
[2] Wideband Code Division Multiple Access
[3] Universal Mobile Telecommunications System
[4] Wireless Local Area Network
[5] Analog-to-Digital Converter
[6] Signal-to-Noise Ratio
[7] Dynamic Range
[8] Feed Forward
[9] Complementary Metal-Oxide-Semiconductor
[10] Slater-Type Functions
[11] Jitter
[12] Enhanced Improved Recycling Folded Cascode
[13] Deferential Mode
[14] Unity Gain Band Width
[15] Common Mode
[16] Operational Trans-conductance Amplifiers
[17] Fast Fourier Transform
[18] Fast Fourier Transform