یک جمع کننده دو بیتی موازی با سرعت بالا مبتنی بر فناوری ترانزیستورهای نانو لوله کربنی جهت استفاده در واحدهای محاسباتی

مختار محمدی قناتغستانی[1]

۱- استادیار- گروه مهندسی کامپیوتر- واحد بم- دانشگاه آزاد اسلامی- بم- ایران
mokhtarmohamadi@srbiau.ac.ir

چکیده: در این مقاله یک جمع کننده دو بیتی با طراحی یک ساختار موازی براساس تابع اقلیت و با استفاده از فناوری ترانزیستورهای نانو لوله کربنی پیشنهاد شده است. ترانزیستورهای نانو لوله کربنی(CNFET) ویژگی های قابل توجهی دارند از جمله امکان داشتن چند سطح ولتاژ آستانه از مزایای ترانزیستورهای نانو لوله کربنی است که منجر به استفاده گسترده از آنها در طراحی مدارهای دیجیتال شده است. هدف اصلی از طراحی مدار جمع کننده دو بیتی پیشنهادی کاهش تاخیر مسیر داده در مدارهای جمع کننده است. طرح پیشنهادی تاثیر مثبتی بر روی معیارهای سرعت و توان مصرفی از طریق کوتاه کردن مسیر داده دارد. به منظور ارزیابی طرح پیشنهادی شبیه سازی های متنوعی با استفاده از نرم افزار Synopsys HSPICE و با فناوری 32nm CNFET و 32nm MOSFET انجام شده است. مدار جمع کننده دو بیتی پیشنهادی با هشت مدار جمع کننده دو بیتی دیگر که با استفاده از هشت سلول تمام جمع کننده مختلف پیاده سازی شده اند در پارامترهای توان مصرفی، سرعت و حاصلضرب تاخیر در توان ((Power Delay Product (PDP) مقایسه شده است. جهت بررسی کارایی طرح پیشنهادی، طرح های مختلف در مدارهای بزرگتر، مدارهای جمع کننده ۴ بیتی و ۸ بیتی شبیه سازی شده است. به دلیل کاهش مسیر داده بحرانی نتایج شبیه سازی ها کارایی بالاتر طرح پیشنهادی را با احترام به سایر طرح ها تائید می‌کند.

واژه‌های کلیدی: جمع کننده دو بیتی موازی، ترانزیستورهای نانو لوله کربنی، تاخیر مسیر داده، مدارهای حسابی

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.20.1.107

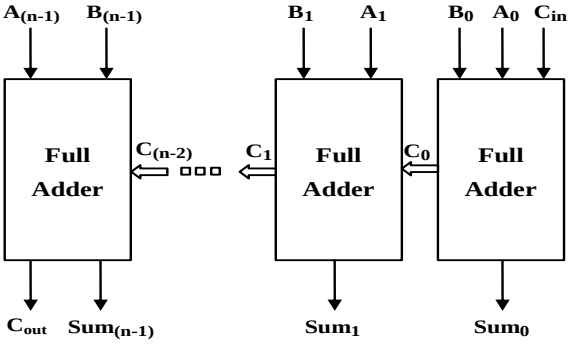
تاریخ ارسال مقاله: ۱۴۰۰/۲/۲۶
تاریخ پذیرش مشروط مقاله: ۱۴۰۱/۵/۲۲
تاریخ پذیرش مقاله: ۱۴۰۱/۶/۲۷
نام نویسنده‌ی مسئول: دکتر مختار محمدی قناتغستانی
نشانی نویسنده‌ی مسئول: ایران – بم – خیابان دانشگاه آزاد –دانشگاه آزاد اسلامی واحد بم – گروه مهندسی کامپیوتر

۱- مقدمه

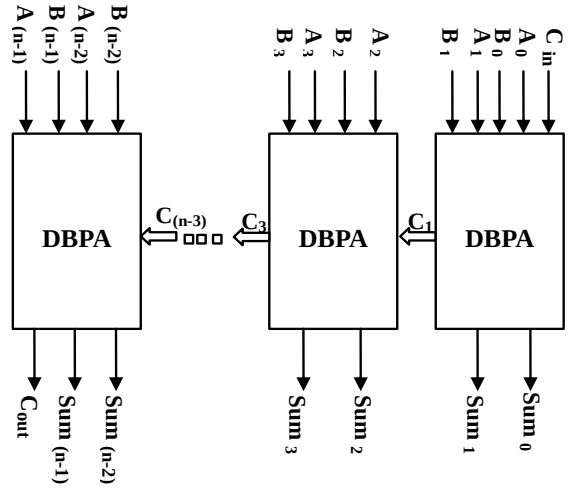
مدارهای حسابی[۱] در کامپیوترهای دیجیتال مسئول انجام مجموعه فعالیت های عمده ای در پردازش داده ها هستند. این مدارها با دریافت و پردازش داده‌ها، نتایج لازم برای حل مسئله‌های محاسباتی ریاضی را تولید می‌کنند. با چهار عمل اصلی حساب می توان اعمال حسابی دیگر را نیز تنظیم کرده و مسائل علمی را با استفاده از روش های محاسبات عددی حل کرد. در کامپیوترهای با مجموعه دستورالعمل های کم[۲]، سعی بر این است که تعداد دستورالعمل های حسابی کمتر و در نتیجه مدارهای حسابی کمتری در پردازنده تعبیه شود و بقیه دستورالعمل ها با استفاده از روش های محاسبات عددی به کمک مدارهای موجود محاسبه شوند. در این بین عمل جمع یکی از اصلی ترین مدارهای حسابی است که بعضی از دیگر دستورالعمل های محاسباتی می توانند با استفاده از محاسباتی عددی بر اساس جمع محاسبه شوند. در بسیاری از سیستم‌ها، کارایی جمع کننده‌ها تعیین کننده کارایی کل سیستم است. همه این موارد می‌توانند دلایل مهم طراحی و ارتقاء مدارهای جمع کننده باشند[۱] و [۲].

جمع کننده‌های سریال نسبت به جمع کننده های موازی دارای حجم سخت افزار کمتری هستند. اما عیب اصلی این جمع‌کننده‌ها تاخیر بالای آن‌ها به دلیل طولانی بودن مسیر داده بحرانی در آن‌ها است. بنابراین یافتن راهکارهایی برای کوتاه کردن تاخیر مسیر داده در این مدارها از اهمیت ویژه ای برخوردار است[۳] -[۶]. دستیابی به این مهم، هدف اصلی از ارائه یک جمع کننده دو بیتی مبتنی بر یک ساختار موازی در این مقاله است. طراحی جمع کننده دو بیتی موازی پیشنهاد شده به گونه ای است که با به کارگیری آن در مدارهای جمع کننده سریال بدون سربار سخت افزاری باعث کوتاه شدن طول مسیر بحرانی، و در نتیجه کاهش تاخیر می شود.برای یک جمع کننده سریال موج گونه n بیتی که در شکل شماره (۱) نشان داده شده است تاخیر مسیر داده مجموع تاخیر n سلول تمام جمع کننده[۳] پشت سر هم است و مرتبه پیچیدگی زمانی آن O(n) است. اما اگر عمل جمع همان گونه که در شکل شماره (۲) نشان داده شده است با استفاده از جمع کننده های موازی دو بیتی انجام شود آنگاه حداکثر تاخیر مسیر داده نصف می شود یعنی پیچیدگی زمانی برابر با O(n/2) خواهد بود.

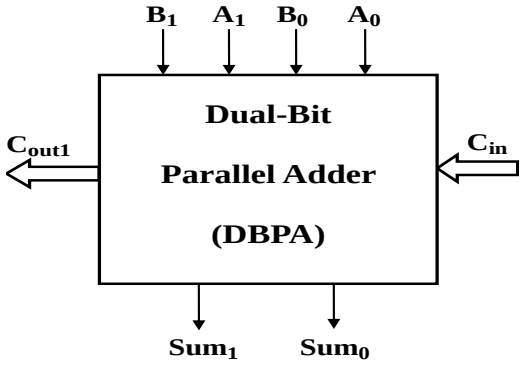
همان گونه که در شکل شماره (۳) نشان داده شده است در یک جمع کننده دو بیتی موازی پنج بیت شامل دو بیت متوالی از یک عدد و دو بیت متوالی از عدد دیگر و یک بیت نقلی ورودی به عنوان بیت های ورودی وارد می شود و سه بیت شامل دو بیت متوالی sum و یک نقلی خروجی C_{out} از آن خارج می شود. جدول صحت یک جمع کننده دو بیتی در جدول شماره (۱) نشان داده شده است.



شکل (۱): جمع کننده سریال موج گونه n بیتی



شکل (۲): جمع کننده n بیتی با استفاده از جمع کننده های دو بیتی موازی



شکل (۳): بلوک دیاگرام جمع کننده دو بیتی موازی

جدول (۱): جدول صحت جمع کننده دوبیتی

$S = \sum A0, B0, C0, 2A1, 2B1$	Cout1	Sum1	Sum0
۰	۰	۰	۰
۱	۰	۰	۱
۲	۰	۱	۰
۳	۰	۱	۱

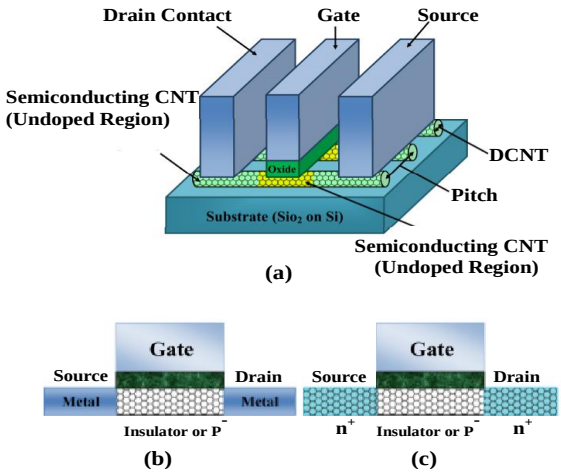
۰	۰	۱	۴
۱	۰	۱	۵
۰	۱	۱	۶
۱	۱	۱	۷

ادامه این مقاله به این صورت سازمان دهی شده است: در بخش ۲ مروری بر فناوری ترانزیستورهای نانو لوله کربنی شده است. بررسی کارهای پیشین در بخش ۳ صورت می گیرد. در بخش ۴ مدار جمع کننده دو بیتی موازی پیشنهادی ارائه می‌شود. نتایج شبیه سازی و مقایسه طرح پیشنهادی با سایر طرح ها در بخش ۵ آورده شده است. در نهایت، در بخش ۶ نتیجه‌گیری بیان شده است.

۲- مروری بر ترانزیستورهای نانو لوله کربنی

ترانزیستورهای نانو لوله کربنی نسبت به ترانزیستورهای فناوری MOSFET[۴] دارای برتری های قابل توجهی هستند. ترانزیستورهای فناوری CNFET[۵] نوع n و p دارای تحرک پذیری برابر می‌باشند. در نتیجه تعیین اندازه ترانزیستورها در مدارهای پیچیده مبتنی بر فناوری نانو لوله کربنی نسبت به فناوری MOSFET آسانتر خواهد بود. ترانزیستورهای CNFET دارای مصرف توان کمتر و سرعت سوئیچینگ بالاتر نسبت به ترانزیستورهای MOSFET می باشند[۷].

شکل 4.a شماتیکی از یک CNFET است. در CNFET ها، نانو لوله کربنی به عنوان کانال ترانزیستور مورد استفاده قرار می گیرند. دو نوع CNFET که به طور وسیع مورد مطالعه قرار می‌گیرند Schottky Barrier و MOSFET-like CNFET هستند. Schottky Barrier بر مبنای تونل زنی مستقیم به صورت حصار شاتکی در اتصال سورس و کانال عمل می کند. عرض حصار توسط ولتاژ گیت پیمانه می شود و رسانایی متقابل آن وابسته به ولتاژ گیت است. این حصار در اتصال فلز نیمه هادی نانولوله درست می‌شود. این نوع ترانزیستورها دارای معایبی هستند که به دو خصوصیت آن اشاره می‌کنیم. اول اینکه حصار انرژی در Schottky Barrier ترانزیستور را در حالت روشن محدود می‌کند و ظرفیت جریان تحویلی را که یکی از پارامترهای کلیدی برای کارایی ترانزیستور است را کاهش می دهد. دوم ترانزیستورهای Schottky Barrier خصوصیت چند قطبی بودن قوی را از خود نشان می دهد و این باعث محدود شدن استفاده ازآنها در خانواده منطق CMOS می شود[۹]و[۸]. شماتیک یک ترانزیستور Schottky Barrier در شکل 4.b نشان داده شده است. شکل 4.c شماتیک دیگری از CNFET ها را نشان می دهد که رفتاری شبیه به ترانزیستورهای MOSFET دارند. این نوع از ترانزیستورها تحت عنوان MOSFET-like CNFET شناخته می شوند. این ترانزیستورها برخلاف ترانزیستور Schottky Barrier رفتار تک قطبی دارند. و فقدان حصار شاتکی در آنها باعث جریان نشتی خاموش می شود.در مقایسه با ترانزیستورهای Schottky Barrier مقیاس پذیری بالاتری دارند. به دلیل عدم حصار شاتکی در حالت روشن جریان بسیار بالاتری دارد[۱۰].



شکل (۴): a) CNFET transistor,
b) Schottky Barrier, c) MOSFET-like CNFET

ولتاژ آستانه CNFET ها از طریق معادله های شماره (۱) و (۲) به دست می آیند. ولتاژ آستانه این ترانزیستورها رابطه معکوس با قطر نانو لوله‌های کربنی دارد. در این رابطه E_g بیانگر شکاف باند (band gap) ، e مقدار بار یک الکترون، a برابر با فاصله دو اتم کربن مجاور (۰/۲۴۹ نانو متر)، D_{CNT} قطر نانو لوله های کربنی (به واحد نانو متر) و V_π که برابر با 3.033ev است معادل با انرژی π-π باند کربن است.

$$V_{th} \cong \frac{E_g}{2e} = \frac{\sqrt{3}}{3}\frac{a.V_\pi}{e.D_{CNT}} \cong \frac{0.43}{D_{CNT}\,(nm)} \qquad (۱)$$

$$D_{CNT} = \frac{a \times \sqrt{n_1^2 + n_2^2 + n_1 n_2}}{\pi} \cong 0.0783 \times \sqrt{n_1^2 + n_2^2 + n_1 n_2} \qquad (۲)$$

عرض ترانزیستور یک پارامتر بسیار مهم در کارایی آن است. معادله ۳ عرض ترانزیستور CNFET را نشان می دهد. سمبل N موجود در این معادله نشان دهنده تعداد نانو لوله های کربنی است. پارامتر Pitch نیز بیانگر فاصله میان مراکز دو نانو لوله کربنی است. در ضمن W_{min} نیز بیانگر کمترین عرض گیت در فناوری ۳۲ نانومتر است و این زمانی رخ می دهد که ترانزیستور دارای یک نانو لوله کربنی است[۱۱].

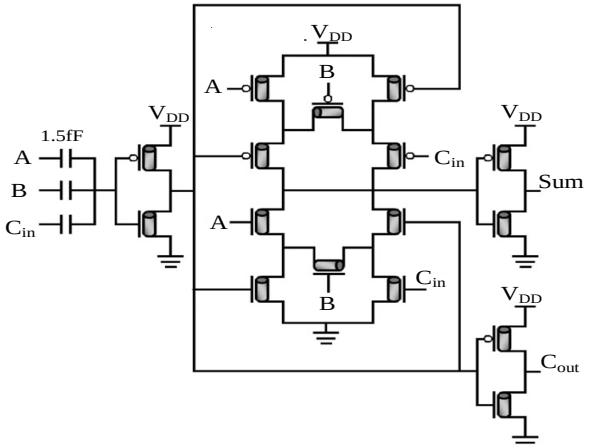
$$W_{gate} = MAX(W_{min}, (N-1)Pitch + D_{CNT}) \qquad (۳)$$

۳- کارهای پیشین

جهت مقایسه مدار جمع کننده دو بیتی پیشنهاد شده، از جمع کننده های دو بیتی که با سلول های تمام جمع کننده مختلف پیاده سازی می شوند استفاده شده است. در این بخش چند سلول تمام جمع کننده نوین در فناوری های CMOS و CNFET انتخاب شده اند. همچنین برای بررسی عملکرد طرح پیشنهادی در مدارهای جمع

کننده بزرگتر از مدارهای جمع کننده ای که با همین سلول های تمام جمع کننده پیاده سازی شده اند استفاده شده است.

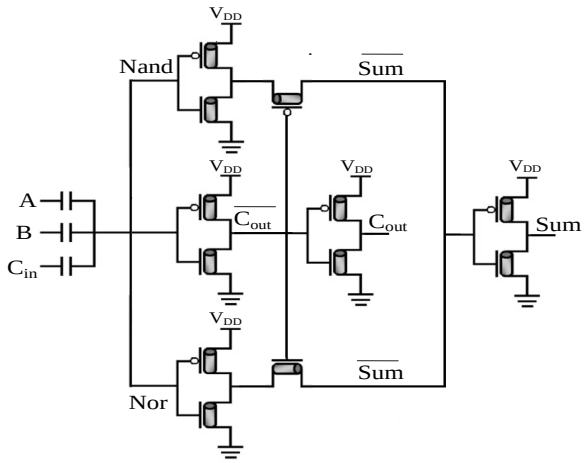
اولین سلول تمام جمع کننده ای است که بررسی می کنیم تمام جمع کننده CNFETMBFA که در[۱۲] ارائه شده است، مدار این سلول در شکل شماره (۵) نشان داده شده است. این طرح بر اساس ترکیب تابع اقلیت و طرح پل پیاده سازی شده است و دارای سه خازن و شانزده ترانزیستور است. مسیر بحرانی مدار نیز شامل چهار ترانزیستور و یک خازن است که منجر به افزایش تاخیر خروجی خواهد شد. معکوس خروجی C_{out} توسط شبکه خازنی و یک گیت معکوس کننده CMOS تولید می شود. سپس با استفاده از معکوس خروجی C_{out} به کمک یک طرح پل خروجی Sum تولید می شود.



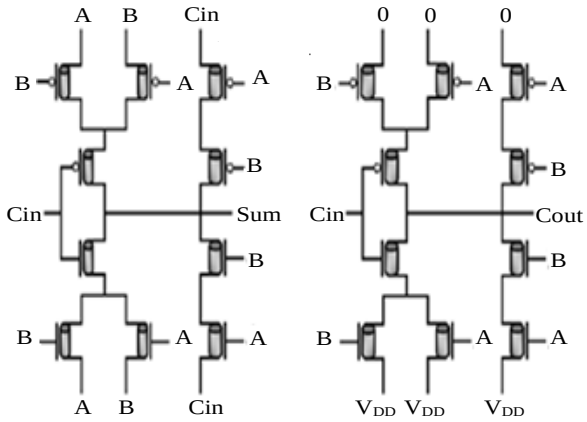
شکل (۵): سلول تمام جمع کننده CNFETMBFA ارائه شده در[۱۲]

دومین سلول تمام جمع کننده ای است که بررسی می کنیم تمام جمع کننده CNFETFA-1 است که در [۱۳] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۶) نشان داده شده است. این طرح نیز از ساختار شبکه خازنی جهت تولید تابع اقلیت استفاده می کند. این مدار از دوازده ترانزیستور و سه خازن تشکیل شده است. مسیر بحرانی آن از سه ترانزیستور و یک خازن تشکیل شده است.بکار گیری ترانزیستور عبور موجب می شود تا سیگنال معکوس Sum دارای نوسان کاملی نیست. این امر نه تنها موجب افزایش مصرف توان استاتیک می شود بلکه تاخیر سوئیچینگ گیت معکوس کننده را نیز افزایش می دهد.

مدار بعدی تمام جمع کننده CNPTL است که در [۱۴] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۷) نشان داده شده است. این مدار از بیست عدد ترانزیستور تشکیل می شود. این طرح دارای ساختاری کاملا متقارن است. و از معکوس سیگنال های ورودی استفاده نمی کند. از آنجایی که این مدار در مسیر بحرانی خود تنها از دو ترانزیستور استفاده می کند .از طرفی از آنجایی که در مدار تولید Sum هیچ مسیر مستقیمی میان منبع تغذیه و زمین وجود ندارد توان مصرفی نسبتا کمی دارد. مشکل این مدار آن است که بکارگیری ترانزیستورهای عبور موجب می گردد تا ولتاژ ناکامل در خروجی تولید گردد. به عبارتی دارای قدرت راه اندازی کمی است. در نتیجه این مدار زمانی که در ساختارهای بزرگتر قرار می گیرد دارای تاخیر بسیار زیادی است.

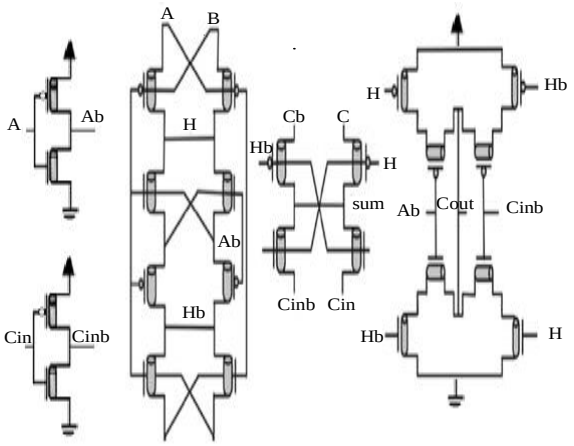


شکل (۶): سلول تمام جمع کننده CNFETFA-1 ارائه شده در[۱۳]



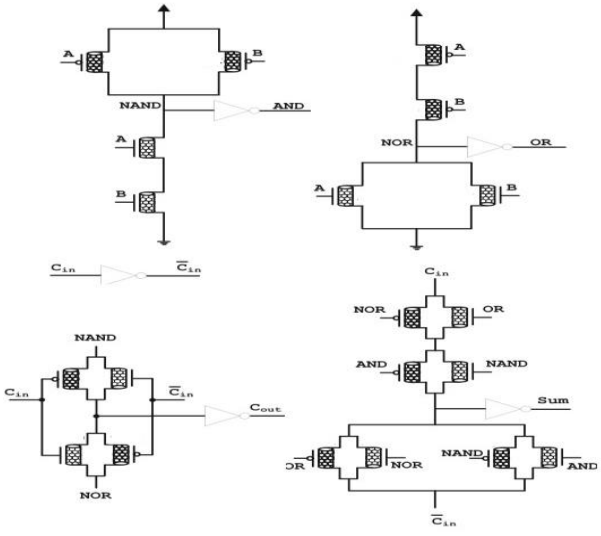
شکل (۷): سلول تمام جمع کننده CNPTLFA ارائه شده در[۱۴]

طرح بعدی سلول تمام جمع کننده CNFETFA-2 است که [۱۵] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۸) نشان داده شده است. این طرح از سه عدد ماژول تشکیل شده است. ماژول اول توابع XOR/XNOR را پیاده سازی می نماید. در ادامه با کمک دو ماژول متقارن خروجی های sum و C_{out} تولید می شوند. این طرح از بیست و هشت عدد ترانزیستور تشکیل شده است. مسیر بحرانی آن نیز از چهار ترانزیستور تشکیل می شود. لذا دارای تاخیر نسبتا زیادی است. در ضمن از آنجایی که از منطق ترانزیستور عبور در خروجی استفاده می کند، این روش دارای قدرت راه اندازی کمی است. یکی از مزایای این مدار آن است که به دلیل اینکه مسیر مستقیم میان منبع تغذیه و زمین وجود ندارد مصرف توان پایین است.



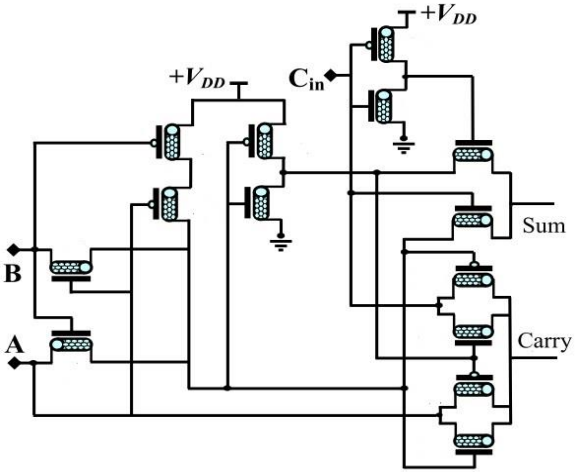
شکل (۸): سلول تمام جمع کننده CNFETFA-2 ارائه شده در[۱۵]

سلول تمام جمع کننده بعدی که بررسی می کنیم تمام جمع کننده CNFETFA-3 است که در [۱۶] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۹) نشان داده شده است. ساختار کلی این طرح از سه بلوک تشکیل شده است. دو بلوک آن با استفاده از منطق CMOS خروجی های AND و OR تولید می کند که از این خروجی ها و مکمل آنها برای تولید خروجی های سلول تمام جمع کننده استفاده شده است. در واقع این طرح بر اساس توابع AND و OR و منطق گیت های انتقال پیاده سازی شده است این طرح دارای ۳۰ ترانزیستور است.. مسیر بحرانی آن از پنج ترانزیستور تشکیل شده است. از مزایای این طرح داشتن نوسان کامل در خروجی ها است.



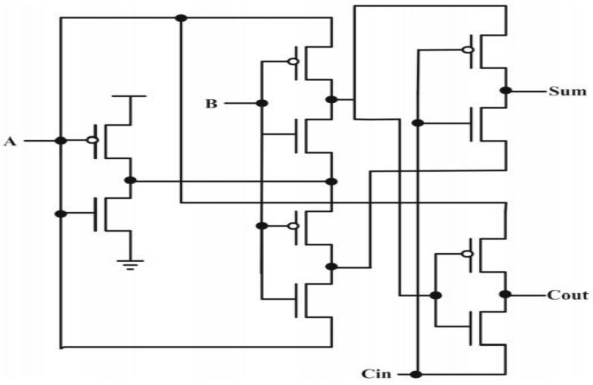
شکل (۹): سلول تمام جمع کننده CNFETFA-3 ارائه شده در[۱۶]

طرح بعدی سلول تمام جمع کننده CNFETFA-4 است که در [۱۷] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۱۰) نشان داده شده است. این طرح از ۱۴ ترانزیستور تشکیل شده است. مسیر بحرانی آن نیز از چهار ترانزیستور تشکیل می شود. در نتیجه تاخیر نسبتا کمی دارد. خروجی sum این طرح به علت استفاده از ترانزیستورهای عبور در طبقه آخر نوسان کامل[۶] ندارد اما خروجی cout چون از گیت های انتقال استفاده می کند دارای نوسان کامل است. یکی از مزایای این مدار آن است که به دلیل اینکه مسیر مستقیم میان منبع تغذیه و زمین وجود ندارد مصرف توان پایین است.



شکل (۱۰): سلول تمام جمع کننده CNFETFA-4ارائه شده در[۱۷]

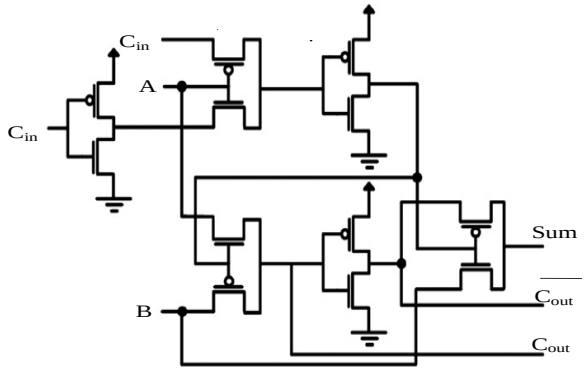
در ادامه دو سلول تمام جمع کننده بررسی شده است که برخلاف طرح های قبلی مبتنی بر فناوری MOSFET هستند. اولین سلول تمام جمع کننده ای که مبتنی بر فناوری MOSFET در اینجا بحث می شود بر اساس ساختار GDI پیشنهاد شده است. این تمام جمع کننده GDIFA است که [۱۸] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۱۱) نشان داده شده است. این طرح دارای ده ترانزیستور است. و تعداد ترانزیستور کم از مزیت های آن است. این مدار دارای سه ترانزیستور در طول مسیر بحرانی است. در نتیجه یکی از مزایای این سلول تمام جمع کننده تاخیر پایین آن است.



شکل (۱۱): سلول تمام جمع کننده GDIFA ارائه شده در[۱۸]

آخرین سلول تمام جمع کننده ای که بررسی می کنیم، تمام جمع کننده CLRCLFA است که [۱۹] ارائه شده است. مدار این سلول تمام جمع کننده در شکل شماره (۱۲) نشان داده شده است. این طرح دارای دوازده ترانزیستور است. و تعداد ترانزیستور کم از مزیت های آن است. مسیر بحرانی آن نیز از چهار ترانزیستور تشکیل شده است. به

علت استفاده کردن از ترانزیستورهای عبور خروجی ها دارای نوسان کامل نیست. که موجب قدرت رانش پایین و تاخیر انتشار طولانی می شود.

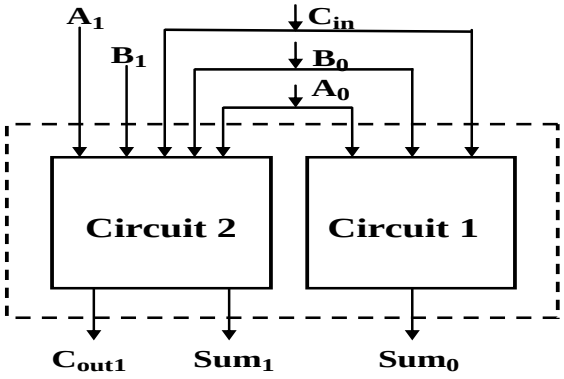


شکل (۱۲): سلول تمام جمع کننده CLRCLFA ارائه شده در [۱۹]

در بخش نتایج شبیه سازی جهت مقایسه طرح پیشنهادی با طرح های پیشین با ارائه جدول به بررسی بیشتر این طرح ها پرداخته شده است.

۴- جمع کننده دو بیتی موازی پیشنهاد شده

بلوک دیاگرام جمع کننده دو بیتی موازی در شکل شماره (۱۳) نشان داده شده است این طرح از دو مدار تشکیل شده است. در مدار شماره ۱ خروجی Sum_0 تولید می شود و در مدار شماره ۲ خروجی های Sum_1 و C_{out1} تولید می شوند.



شکل (۱۳): بلوک دیاگرام جمع کننده دو بیتی موازی تشکیل شده از دو مدار

مدار شماره ۱ جمع کننده دو بیتی پیشنهادی یک سلول تمام جمع کننده است با این تفاوت که این مدار برخلاف سلول تمام جمع کننده خروجی C_{out} ندارد. با توجه به جدول شماره (۲) که جدول صحت یک سلول تمام جمع کننده است می توان دریافت که منطق خروجی Sum_0 فقط در دو مینترم با تابع اقلیت متفاوت است، مینترم هایی که هر سه ورودی دارای منطق صفر یا هر سه ورودی دارای منطق یک هستند. بنابراین می توان تابع خروجی Sum_0 مدار جمع کننده دو بیتی موازی را براساس معادله های (۴) و (۵) نوشت.

$$\overline{C_{out0}} = \overline{Maj(A_0, B_0, C_{in})} \qquad (۴)$$

$$\begin{aligned} Sum_0 &= A_0 \oplus B_0 \oplus C_{in} \\ &= \overline{Maj(A_0, B_0, C_{in})}.(A_0 + B_0 \\ &+ C_{in}) + A_0.B_0.C_{in} \\ &= \overline{C_{out0}}(A_0 + B_0 + C_{in}) \\ &+ A_0.B_0.C_{in} \end{aligned} \qquad (۵)$$

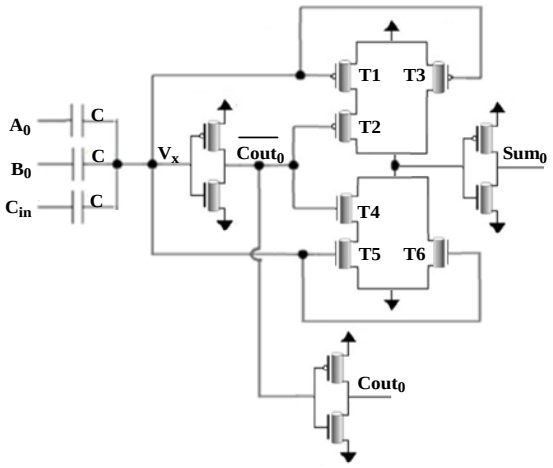
جدول (۲): جدول صحت یک سلول تمام جمع کننده

A_0	B_0	C_{in}	$\overline{Maj(A_0,B_0,C_{in})}$	C_{out0}	Sum_0
۰	۰	۰	۱	۰	۰
۰	۰	۱	۱	۰	۱
۰	۱	۰	۱	۰	۱
۰	۱	۱	۰	۱	۰
۱	۰	۰	۱	۰	۱
۱	۰	۱	۰	۱	۰
۱	۱	۰	۰	۱	۰
۱	۱	۱	۰	۱	۱

مدار شماره ۱ جمع کننده دو بیتی موازی که براساس معادله های (۴) و (۵) پیاده سازی شده است درشکل شماره (۱۴) نشان داده شده است. این مدار از آرایه ای از خازن ها برای به دست آوردن جمع ولتاژی سه ورودی A_0 و B_0 و C_{in} استفاده می کند. بنابراین ولتاژ نقطه V_x دارای چهار سطح ولتاژ Vdd/3،0v ، 2Vdd/3 و 3Vdd/3 است. با قرار دادن یک معکوس کننده بعد از گره V_x مکمل تابع اکثریت که معادل $\overline{C_{out0}}$ است ساخته می شود. سپس مجموعه ای از ترانزیستورهای نانو لوله کربنی با ولتاژ آستانه مناسب به گونه ای قرار گرفته اند تا خروجی مطلوب تولید شود. ترانزیستورهای T2 و T4 ترانزیستورهایی با ولتاژ آستانه معمولی هستند و مقدار ولتاژ آستانه ترانزیستور T1 به مقداری تعیین می شود که هر وقت هر سه ورودی A_0 و B_0 و C_{in} منطق صفر داشته باشند خاموش هستند و برای دیگر مینترم ها روشن هستند. برای ترانزیستور T3 نیز مقدار ولتاژ آستانه به گونه ای تعیین می شود که وقتی که هر سه ورودی منطق یک داشتند روشن می شود و برای دیگر مینترم ها این ترانزیستور خاموش شود. همچنین برای ترانزیستور T5 ولتاژ آستانه مقداری دارد که فقط وقتیکه هر سه ورودی منطق یک دارند خاموش می شود وبرای دیگر مینترم ها روشن خواهد بود. در نهایت ولتاژ آستانه برای ترانزیستور T6 به گونه ای تعیین می شود فقط وقتیکه هر سه ورودی منطق صفر دارند روشن می شود و در دیگر مینترم ها این ترانزیستور خاموش هستند. ترانزیستورهای روشن و ترانزیستورهای خاموش در تمامی مینترم های ممکن در جدول شماره (۳) مشخص شده اند.

جدول (۳): ترانزیستورهای روشن و خاموش مربوط به مدار شماره ۱ جمع کننده دو بیتی پیشنهادی

A_0	B_0	C_{in}	On transistors	Off transistors	C_{out0}	Sum_0
۰	۰	۰	T1,T3,T4	T2,T5,T6	۰	۰
۰	۰	۱	T1,T4,T5	T2,T3,T6	۰	۱
۰	۱	۰	T1,T4,T5	T2,T3,T6	۰	۱
۰	۱	۱	T1,T2,T5	T3,T4,T6	۱	۰
۱	۰	۰	T1,T4,T5	T2,T3,T6	۱	۱
۱	۰	۱	T1,T2,T5	T3,T4,T6	۱	۰
۱	۱	۰	T1,T2,T5	T3,T4,T6	۱	۰
۱	۱	۱	T2,T5,T6	T1,T3,T4	۱	۱



شکل (۱۴) مدار شماره ۱ جمع کننده دو بیتی موازی پیشنهاد شده

جدول شماره (۴) ، جدول صحت مدار شماره ۲ جمع کننده دو بیتی موازی است. همان طور که در این جدول مشخص است خروجی Sum_1 فقط در مینترم هایی که مجموع ورودی ها ($S=A_0+B_0+C_{in}+2A_1+2B_1$) دارای مقادیر ۰، ۱، ۶ و ۷ است با تابع اقلیت این ورودی ها متفاوت است. بنابراین معادلات خروجی های Sum_1 و C_{out1} را می توان طبق معادله های (۶) و (۷) نوشت.

$$C_{out1} = Maj(A_0, B_0, C_{in}, 2A_1, 2B_1) \qquad (۶)$$

$$\begin{aligned} Sum_1 &= \overline{Maj(A_0,B_0,C_{in},2A_1,2B_1)}.([S=2]+[S=3]) \\ &\quad +([S=6]+[S=7]) \\ &= \overline{Maj(A_0,B_0,C_{in},2A_1,2B_1)}.([A_1 \\ &\quad +B_1+A_0B_0+A_0C_{in}+B_0C_{in}] \\ &\quad +[A_1A_0+A_1B_0+A_1C_{in}+B_1A_0 \\ &\quad +B1B_0+B_1C_{in}+A_0B_0C_{in}]) \\ &\quad +([A_1B_1A_0B_0+A_1B_1A_0C_{in} \\ &\quad +A_1B_1B_0C_{in}]+[A_1B_1A_0B_0C_{in}]) \end{aligned} \qquad (۷)$$

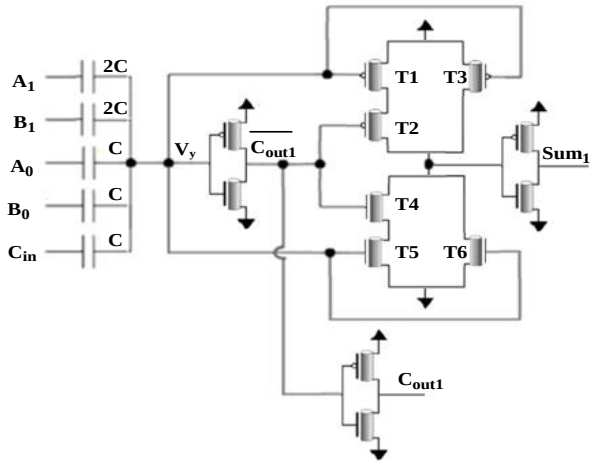
جدول(۴): جدول صحت مدار ۲ جمع کننده دو بیتی موازی

S	$\overline{Maj(A_0,B_0,C_{in},2A_1,2B_1)}$	C_{out1}	Sum_1
۰	۱	۰	۰
۱	۱	۰	۰
۲	۱	۰	۱
۳	۱	۰	۱
٤	۰	۱	۰
٥	۰	۱	۰
٦	۰	۱	۱
۷	۰	۱	۱

مدار شماره ۲ جمع کننده دو بیتی موازی که براساس معادله های (۶) و (۷) پیاده سازی شده است درشکل شماره (۱۵) نشان داده شده است. این مدار از آرایه ای از خازن ها که جمع ولتاژی ورودی های A_0،B_0، C_{in} ،$2A_1$ و $2B_1$ را محاسبه می کند، استفاده می کند. بنابراین ولتاژ نقطه V_y دارای هشت سطح ولتاژ 0v، Vdd/7، 2Vdd/7، 3Vdd/7، 4Vdd/7، 5Vdd/7، 6Vdd/7، 7Vdd/7 است. با قرار دادن یک معکوس کننده پس از گره V_y تابع اقلیت این ورودی ها به دست می آید که معادل $\overline{C_{out1}}$ است. با اضافه کردن یک معکوس کننده دیگر خروجی C_{out1} به دست می آید.و با استفاده از مجموعه ای از ترانزیستورهای نانو لوله کربنی با ولتاژ آستانه مناسب می توان خروجی Sum_1 را تولید کرد. مقدار ولتاژ استانه ترانزیستورهای موجود در این مدار به گونه ای است که ترانزیستورهای روشن و ترانزیستورهای خاموش در تمامی مینترم های ممکن در جدول شماره (۵) مشخص شده اند.

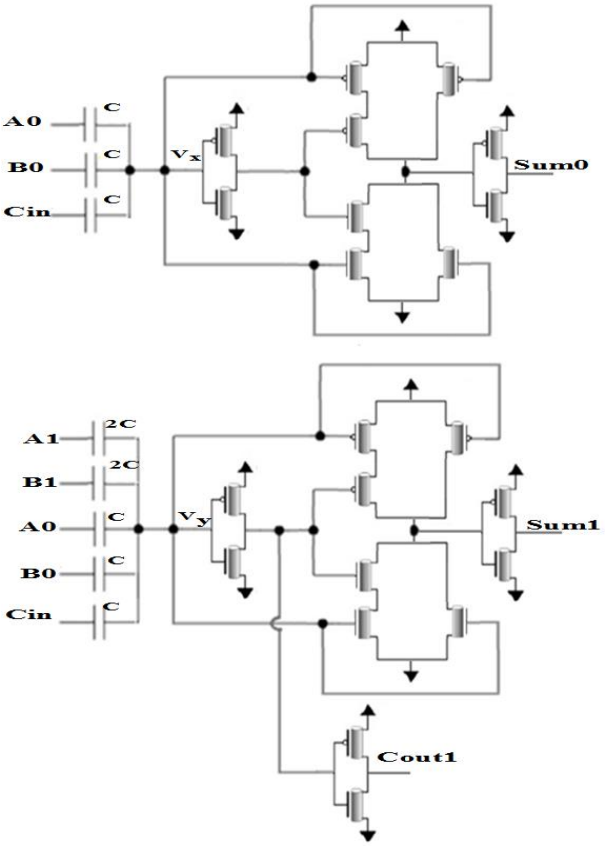
جدول (۵): ترانزیستورهای روشن و خاموش مربوط به مدار شماره ۲ جمع کننده دو بیتی پیشنهادی

S	V_y	On transistors	Off transistors	C_{out1}	Sum_1
۰	0v	T1,T3,T4	T2,T5,T6	۰	۰
۱	Vdd/7	T1,T3,T4	T2,T5,T6	۰	۰
۲	2Vdd/7	T1,T4,T5	T2,T3,T6	۰	۱
۳	3Vdd/7	T1,T4,T5	T2,T3,T6	۰	۱
٤	4Vdd/7	T1,T2,T5	T3,T4,T6	۱	۰
٥	5Vdd/7	T1,T2,T5	T3,T4,T6	۱	۰
٦	6Vdd/7	T2,T5,T6	T1,T3,T4	۱	۱
۷	7Vdd/7	T2,T5,T6	T1,T3,T4	۱	۱



شکل (۱۵): مدار ۲ جمع کننده دو بیتی موازی پیشنهاد شده

مدار جمع کننده دو بیتی موازی پیشنهاد شده که از مدار شماره ۱ و مدار شماره ۲ تشکیل شده است در شکل شماره (۱۶) نشان داده است.



شکل (۱۶): مدار جمع کننده دو بیتی موازی پیشنهاد شده

۵- نتایج شبیه‌سازی

در این بخش مدار جمع کننده دو بیتی پیشنهاد شده با مدارهای جمع کننده دو بیتی دیگر که با استفاده از طرح های بررسی شده در بخش ۳ پیاده سازی شده اند مقایسه شده است.

به منظور بررسی و مقایسه کارایی مدارهای مختلف، شبیه سازی جامعی نسبت به شرایط محیطی مختلف توسط نرم افزار شبیه ساز Synopsys HSPICE انجام شده است. برای مدارهای مبتنی بر فناوری CMOS از مدل کتابخانه ای ۳۲ نانو متر استفاده شده است و برای مدارهای مبتنی بر فناوری CNFET از مدل کتابخانه ای ۳۲ نانو متر ارائه شده در مقالات [۲۰] و[۲۱] استفاده شده است. در جدول شماره (۶) برخی از پارامترهای مهم این مدل به همراه توصیف مختصری از آن ها آمده است.

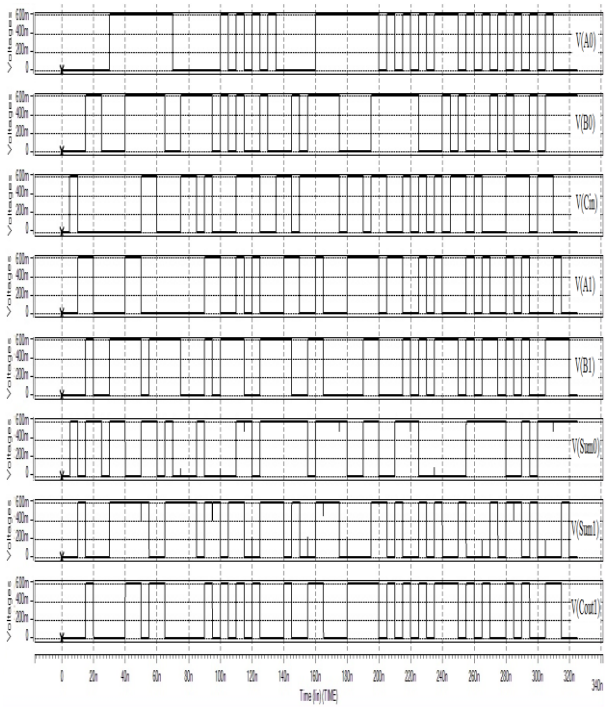
جدول(۶): برخی از پارامترهای مهم فناوری CNFET

Parameter	Description	Value
L_{ch}	Physical channel length	32 nm
L_{geff}	Mean free path in the intrinsic CNT channel	100 nm
L_{ss}	Length of doped CNT source-side extension region	32 nm
L_{dd}	Length of doped CNT drain-side extension region	32 nm
K_{gate}	The dielectric constant of high-k top gate dielectric material	16
T_{ox}	The thickness of high-k top gate dielectric material	4 nm
C_{sub}	The coupling capacitance between the channel region and the substrate	40 pF/m
Efi	The Fermi level of the doped S/D tube	6 eV

مدت زمانی که مقدار ورودی به ۵۰% سطح ولتاژمنبع تغذیه رسیده است تا زمانی‌که خروجی هم به همین سطح ولتاژ برسد به عنوان پارامتر تاخیر محاسبه می‌شود. تاخیرهای انتشار صعود و نزول به صورت جداگانه هم برای خروجی Sum_1 و هم برای خروجی C_{out1} محاسبه می‌شود و مقدار ماکزیمم به عنوان پارامتر تاخیر در نظر گرفته می‌شود. تاخیر تمامی خروجی‌ها به ازای هر گذار مورد توجه قرار می‌گیرد و در نهایت بیشترین تاخیر به عنوان تاخیر مدار گزارش می شود. مصرف توان نیز در واقع مصرف توان متوسط است که در بازه طولانی از زمان، محاسبه می‌شود. پارامتر PDP طبق معادله شماره (۸) از حاصلضرب حداکثر تاخیر و میانگین مصرف توان به دست می آید:

$$PDP = \text{Max(Delay)} \times \text{Avg(Power Consumption)} \quad (۸)$$

شکل شماره (۱۷) شکل موج ورودی و خروجی را برای طرح پیشنهادی در شرایط منبع تغذیه ۰/۶۵ ولت، فرکانس کاری ۲۵۰ مگا هرتز و خازن بار ۲/۱ فمتو فاراد نشان می دهد. این شکل نشان می دهد که خروجی ها صحیح و دارای سوییینگ کاملی هستند.



شکل (۱۷): نمودار شکل موج های ورودی و خروجی جمع کننده دو بیتی موازی پیشنهاد شده

مدار جمع کننده دو بیتی پیشنهاد شده و مدار های جمع کننده دو بیتی دیگر که با استفاده از سلول های تمام جمع کننده بررسی شده در بخش ۳ پیاده سازی شده اند، در شرایط منبع تغذیه مختلف (۰/۵ ولت، ۰/۶۵ ولت و ۰/۸ ولت)، بار خازنی ۲/۱ فمتو فاراد و دمای اتاق ۲۷ درجه سانتیگراد شبیه سازی شده اند. نتایج این شبیه سازی ها در جدول شماره (۷) نشان داده شده است. این نتایج تاخیر کمتر طرح پیشنهاد شده را نسبت به سایر طرح ها نشان می دهد. البته از نظر مصرف توان طرح پیشنهادی نسبت به بعضی طرح ها توان مصرفی بیشتری داردکه این مطلب از معایب این طرح نسبت به آنها است. اما اگر معیار PDP به عنوان معیاری جهت مصالحه بین دو معیار تاخیر و توان مصرفی لحاظ شود، مشخص می شود که به جز در ولتاژ منبع تغذیه ۰،۸ ولت که طرح CNFETFA-4 دارای PDP کمتری نسبت به طرح پیشنهادی است در ولتاژهای دیگر طرح پیشنهادی PDP بهتری دارد.

جدول (۷): نتایج شبیه سازی طرح پیشنهادی و سایر طرح ها

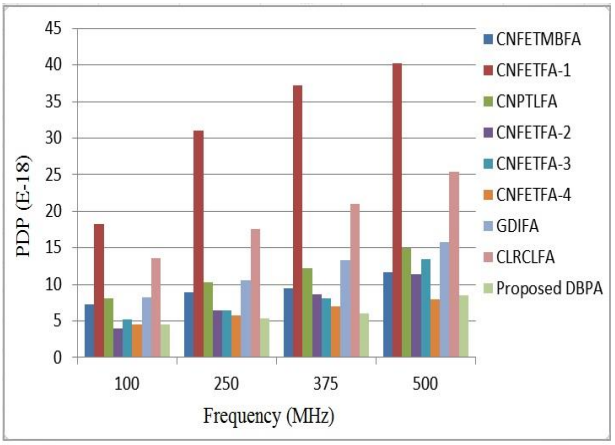
2-bit RCAs	Delay ($\times 10^{-12}$ S)	Power ($\times 10^{-7}$ W)	PDP ($\times 10^{-18}$ J)
V_{DD}=0.8 v			
CNFETMBFA	۴۰،۹۲۷	۲،۱۷۲۴	۸،۸۹۰۹
CNFETFA-1	۴۸،۰۹۴	۸،۴۵۲۰	۴۰،۶۴۹
CNPTLFA	۵۳،۷۱۱	۲،۳۷۱۸	۱۲،۷۳۹
CNFETFA-2	۳۹،۵۲۷	۱،۸۲۴۳	۷،۲۱۰۹
CNFETFA-3	۵۶،۴۰۷	۱،۱۲۵۱	۶،۳۴۶۳
CNFETFA-4	۲۱،۶۲۴	۲،۶۵۴۷	۵،۷۴۰۵
GDIFA	۲۰،۵۲۷	۴،۶۴۳۹	۹،۵۳۲۵
CLRCLFA	۴۶،۱۹۵	۴،۱۹۷۶	۱۹،۳۹۰
Proposed DBPA	۱۵،۳۸۶	۴،۰۰۱۱	۶،۱۵۶۲
V_{DD}=0.65 v			
CNFETMBFA	۴۶،۱۹۷	۱،۹۲۴۷	۸،۸۹۱۵
CNFETFA-1	۵۱،۰۲۷	۶،۰۸۷۲	۳۱،۰۶۱
CNPTLFA	۵۹،۷۲۶	۱،۷۳۱۸	۱۰،۳۴۳
CNFETFA-2	۴۴،۱۸۲	۱،۴۹۲۷	۶،۵۹۵۰
CNFETFA-3	۶۳،۸۱۴	۱،۰۰۹۲	۶،۴۴۰۱
CNFETFA-4	۲۹،۱۷۸	۲،۰۹۵۱	۶،۱۱۳۰
GDIFA	۲۵،۳۱۸	۴،۱۹۲۷	۱۰،۶۱۵
CLRCLFA	۵۳،۸۱۷	۳،۲۶۹۱	۱۷،۵۹۳
Proposed DBPA	۱۹،۸۱۶	۲،۷۱۱۶	۵،۳۷۳۳
V_{DD}=0.5 v			
CNFETMBFA	۵۳،۱۹۷	۱،۵۳۱۹	۸،۱۴۹۳
CNFETFA-1	۶۲،۵۶۸	۴،۸۱۳۴	۳۰،۱۱۶
CNPTLFA	۷۰،۹۳۴	۱،۵۸۷۳	۱۱،۲۵۹
CNFETFA-2	۴۹،۵۱۱	۱،۲۲۶۴	۶،۰۷۲۰
CNFETFA-3	۶۹،۳۴۷	۰،۸۹۲۱	۶،۱۸۶۴
CNFETFA-4	۳۳،۲۱۶	۱،۷۵۲۴	۵،۸۲۰۷
GDIFA	۲۹،۷۰۴	۳،۷۲۵۷	۱۱،۰۶۶
CLRCLFA	۶۷،۰۹۱	۲،۷۲۴۶	۱۸،۲۷۹
Proposed DBPA	۲۷،۰۸۲	۱،۹۳۴۷	۵،۲۳۹۵

برای مقایسه و تحلیل دقیق تر طرح پیشنهادی و سایر طرح ها جدول شماره (۸) ارائه شده است. البته ذکر این نکته حائز اهمیت است که این مقایسه ها در شرایطی است که مدار جمع کننده دو بیتی پیشنهاد شده با مدار جمع کننده دو بیتی سایر طرح ها مقایسه شده است. با توجه به جدول شماره (۸) از لحاظ تعداد ترانزیستورها و خازن های استفاده شده در طرح پیشنهادی مشخص می شود طرح پیشنهادی از طرح های GDIFA ، CNFETFA-4 و CLRCLFA تعداد ادوات بیشتری دارد اما نسبت به سایر طرح ها مجموع تعداد ترانزیستور و خازن کمتری دارد. همچنین واضح است که طول مسیر داده بحرانی طرح پیشنهادی از همه طرح ها به جز طرح CNPTLFA کوتاهتر است. اما به دلیل اینکه طرح CNPTLFA دارای خروجی هایی با نوسان کامل نیست. به عبارتی دارای قدرت راه اندازی کمی است. در نتیجه این طرح زمانی که در ساختارهای بزرگتر قرار می گیرد دارای تاخیر زیادی است. در نتیجه تاخیر طرح پیشنهادی نسبت به همه طرح ها کمتر است. با توجه به نتایج جدول شماره (۷) واضح است که طرح پیشنهادی نسبت به بعضی از طرح ها دارای مصرف توان بالایی است، همچنین بعضی از ترانزیستورهای موجود در طرح پیشنهادی دارای ولتاژ آستانه غیرنرمال هستند که این امر باعث افزایش نویزپذیری و در نتیجه کاهش حاشیه نویز آن است، که البته یکی از دلایل استفاده از فناوری ترانزیستورهای نانو لوله کربنی همین نکته است. زیرا با استفاده از این فناوری با تغییر قطر نانو لوله بر اساس معادله های شماره (۱) و (۲) می توان ولتاژهای آستانه متفاوتی برای ترانزیستورها تعریف کرد.

جدول (۸): مقایسه طرح پیشنهادی و سایر طرح ها

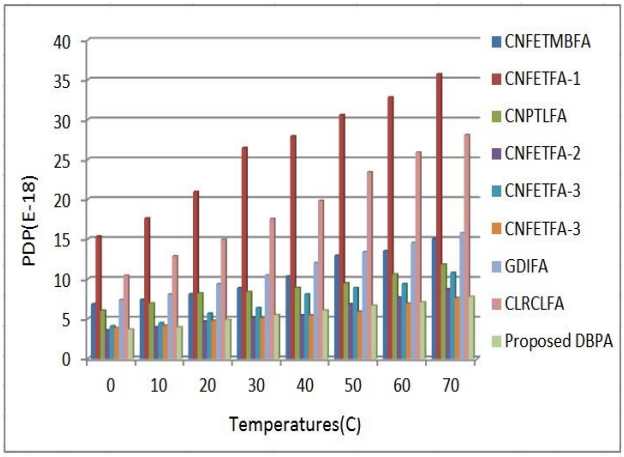
2-bit RCAs	Transistor and Capacitor count	Critical path	Full swing
CNFETMBFA	32T+6C	8T+2C	✓
CNFETFA-1	24T+6C	6T+2C	✓
CNPTLFA	40T	4T	×
CNFETFA-2	56T	8T	×
CNFETFA-3	60T	10T	✓
CNFETFA-4	28T	8T	×
GDIFA	20T	6T	✓
CLRCLFA	24T	8T	×
Proposed DBPA	22T+8C	4T+1C	✓

مدارهای مختلف باید این قابلیت را داشته باشند تا بتوانند در فرکانس های مختلف کار کنند .از این رو تمام طرح ها به صورت جمع کننده دوبیتی در فرکانس‌های مختلف شبیه‌سازی شدند. نتایج این شبیه سازی ها در نمودار شکل شماره (۱۸) مشخص شده است. این شبیه سازی ها در دمای اتاق، خازن بار ۲,۱ فمتو فاراد، منبع تغذیه ۰,۶۵ ولت انجام شده اند. نتایج بیانگر این مطلب هستند که به جز در فرکانس ۵۰۰ مگاهرتز که PDP طرح پیشنهادی از طرح CNFETFA-4 بیشتر است در سایر فرکانس ها طرح پیشنهادی بهترین عملکرد را دارد.



شکل (۱۸): نتایج شبیه سازی طرح های مختلف به صورت جمع کننده دوبیتی در فرکانس های مختلف

برای ارزیابی عملکرد مدارها در دماهای مختلف، تمامی مدارها در دماهای مختلف به صورت جمع کننده دو بیتی شبیه‌سازی شده اند. نتایج این شبیه‌سازی‌ها در نمودار شکل شماره (۱۹) نشان داده شده است.. این شبیه‌سازی‌ها به ازای خازن بار ۲,۱ فمتو فاراد، فرکانس ۲۵۰ مگاهرتز و منبع تغذیه ۰,۶۵ ولت انجام شده‌اند. نتایج این شبیه سازی نشان می دهد که طرح پیشنهادی و طرح CNFETFA-4 دارای بهترین عملکرد در تمامی دماها هستند.



شکل (۱۹): نتایج شبیه سازی طرح های مختلف به صورت جمع کننده دوبیتی در دماهای مختلف

مدارهای مختلف بایستی این قابلیت را داشته باشند که بتوانند در مدارهای بزرگتر با کارایی بالایی عمل نمایند. همچنین بهتر است که سلول های تمام جمع کننده در محیط کاربردشان با یکدیگر مقایسه شوند. برای این منظور مدارهای جمع کننده سریال ۴ بیتی و ۸ بیتی مبتنی بر مدار جمع کننده دو بیتی پیشنهاد شده و سلول های تمام جمع کننده مختلف شبیه سازی شده است. نتایج این شبیه‌سازی‌ها در جدول های شماره (۹) و (۱۰) نشان داده شده است. این شبیه سازی ها در شرایط ولتاژ منبع تغذیه ۰/۶۵ ولت، بار خروجی ۲/۱ فمتو فاراد و فرکانس کاری ۱۰۰ مگا هرتز شبیه سازی شده اند. با توجه به نتایج جدول های شماره (۷)، (۸) و (۹) واضح است که مدار جمع کننده دو بیتی پیشنهادی هر چه در مدارهای بزرگتری استفاده شود از لحاظ تاخیر، عملکرد بهتری خواهد داشت و این امر به این دلیل است که کاهش مسیر بحرانی بیشتر اثر خودش را نشان می دهد.

جدول (۹): نتایج شبیه سازی جمع کننده های ۴ بیتی

4-bit RCAs	Delay ($\times 10^{-12}$ S)	Power ($\times 10^{-7}$ W)	PDP ($\times 10^{-18}$ J)
CNFETMBFA	۸۵,۹۱۲	۴,۹۲۵۱	۴۲,۳۱۲
CNFETFA-	۱۰۴,۱۹	۱۷,۳۹۶	۱۸۱,۲۴
CNPTLFA	۱۱۶,۷۵	۴,۱۹۵۲	۴۸,۹۷۸
CNFETFA-2	۹۲,۴۲۸	۳,۸۲۹۷	۳۵,۳۹۷
CNFETFA-3	۱۲۷,۳۱	۲,۱۳۴۶	۲۷,۱۷۵
CNFETFA-4	۶۱,۳۱۴	۳,۹۸۷۲	۲۴,۴۴۷
GDIFA	۵۳,۸۳۴	۷,۲۴۸۰	۳۹,۰۱۸
CLRCLFA	۱۵۳,۸۱	۱۳,۹۲۷	۲۱۴,۲۱
Proposed DBPA	۳۷,۶۲۷	۵,۹۱۷۳	۲۲,۲۶۵

جدول (۱۰): نتایج شبیه سازی جمع کننده های ۸ بیتی

8-bit RCAs	Delay ($\times10^{-12}$ S)	Power ($\times10^{-7}$ W)	PDP ($\times10^{-18}$ J)
CNFETMBFA	۲۵۶,۹۱	۱۳,۹۷۳	۳۵۸,۹۸
CNFETFA-1	۳۲۵,۳۳	۲۹,۱۶۸	۹۴۸,۹۲
CNPTLFA	۸۷۵,۹۶	۱۱,۸۱۳	۱۰۳۴,۷
CNFETFA-2	۲۱۰,۸۴	۱۰,۹۱۳	۲۳۰,۰۸
CNFETFA-3	۲۹۰,۱۷	۳,۹۳۱۷	۱۱۴,۰۸
CNFETFA-4	۱۹۱,۹۴	۷,۳۸۱۴	۱۴۱,۶۷
GDIFA	۳۴۷,۱۵	۱۲,۹۲۴	۴۴۸,۶۵
CLRCLFA	۲۷۶,۲۹	۲۸,۴۲۸	۷۸۵,۴۳
Proposed DBPA	۱۱۹,۲۵	۱۳,۲۴۸	۱۵۷,۹۸

۶- نتیجه‌گیری

مدارهای جمع کننده سریال نسبت به مدارهای جمع کننده موازی دارای کمترین حجم سخت افزار هستند، اما عیب مدارهای جمع کننده سریال بالا بودن تاخیر مسیر داده است. در این مقاله یک جمع کننده دو بیتی موازی با هدف بهبود این مشکل پیشنهاد شده است. مهم ترین ویژگی طرح پیشنهادی زمانی مشخص می شود که در یک مدار جمع کننده کاربردی استفاده شود. دلیل اصلی این بهبود، کاهش دادن طول مسیر بحرانی در طرح پیشنهادی با استفاده از یک ساختار موازی به گونه ای است که سربار سخت افزاری زیادی به وجود نیاید. البته افزایش تعداد طبقه هایی که به این صورت بخواهند موازی طراحی شوند و تعداد بیت های بیشتری از دو عدد را با این روش به صورت موازی کرد احتمالا کارایی بالایی نخواهد داشت. زیرا نیاز به توابعی است که دارای تعداد ورودی های ۹،۱۱،۷ و بیشتر از این تعداد است که پیاده سازی آنها باعث افزایش سطح مدار، توان مصرفی و تاخیر خواهد شد. استفاده از ترانزیستورهایی با ولتاژ آستانه غیرنرمال سبب کاهش حاشیه نویز مدار پیشنهادی شده است. با توجه به مزیت های ترانزیستورهای نانو لوله کربنی از جمله داشتن چند سطح ولتاژ آستانه در پیاده سازی طرح پیشنهاد شده از این فناوری استفاده شده است. هر چند داشتن چند سطح ولتاژ آستانه باعث افزایش نویزپذیری و پیچیدگی در زمان ساخت شود. طرح پیشنهادی می تواند در کاربردهای متنوعی، و به ویژه کاربردهایی که هدفشان تاخیر کم است مورد استفاده قرار گیرد.

مراجع

[1] J. Uyemura, CMOS logic circuit design, ISBN 0-7923-8452-0, Kluwer Academic publishers, 1999.

[2] J. M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuit's, A Design Perspective, 2nd ed, Englewood Cliffs, N. J: Prentice Hall, 2002.

[3] M. Maleknejad, S. Mohammadi, K. Navi, H. R. Naji and M. Hosseinzadeh "A CNFET-based hybrid multi-threshold 1-bit full adder design for energy efficient low power applications" Int. J. of Electronics, pp. 1-16 2018.

[4] J. K. Saini, A. Srinivasulu, K. Renu, "Real-time Error Detectable Multiplier Circuit Using CNFET", Journal of Advanced Research in Dynamical and Control Systems, vol. 11, Issue. 07-SI, pp. 150-156, 2019.

[5] M. Mohammadi Ghanatghestani, B. Ghavami, and H. Pedram, "A Ternary Full Adder Cell based on Carbon Nanotube FET for High-Speed Arithmetic Units," Journal of Nanoelectronics and Optelectronics, American Scientific Publishers, Vol. 13, No. 3, pp. 368-377(10) 2018.

[۶] سکینه صیدی و علی آذرپیوند "طراحی جمع کننده و ضرب کننده غیردقیق ویژه کاربردهای پردازش تصویر"نشریه انجمن مهندسی برق و الکترونیک ایران- دوره هجدهم- شماره چهارم- زمستان -1400صفحه ۳۶-۳۱

[7] S.J. Tans, A.R.M. Verschueren, and C. Dekker, "Room-temperature transistor based on a single carbon nanotube", Nature, Vol. 393, pp. 49-52, 1998.

[8] M. Mohammadi Ghanatghestani, H. Pedram, and B. Ghavami, "Design of a Low-Standby Power and High-Speed Ternary Memory Cell based on Carbon Nanotube FET," Journal of Computational and Theoretical Nanoscience, American Scientific Publishers, Vol. 12,No. 11, 2015.

[۹] آرش رضایی، علی اصغر اروجی و سمانه شربتی "بهبود عملکرد دیود اثر میدانی به منظور کاربرد در فناوری نانو"نشریه انجمن مهندسی برق و الکترونیک ایران-دوره هجدهم-شماره اول-بهار-1400صفحه8-1

[10] A. Raychowdhury, K. Roy, "Carbon nanotube-based voltage-mode multiple-valued logic design", IEEE Trans. Nanotechnol, vol. 4, No. 2, pp. 168-179, 2005.

[11] M. Mohammadi Ghanatghestani, B. Ghavami, and H. Salehpour, "A CNFET Full Adder Cell Design for High-Speed Arithmetic Units," Turkish Journal of Electrical Engineering & Computer Science, 25: 2399 - 2409 2017.

[12] K. Navi, H. HosseinSajedi, R. FaghihMirzaee, M. H. Moaiyeri, A. Jalali, O. Kavehei, "High-speed full adder based on minority function and bridge style for nanoscale", Integration, the VLSI Journal archive, Volume 44 Issue 3, 2011.

[13] M.R. Reshadinezhad, M.H. Moaiyeri, and K. Navi, "An Energy-Efficient Full Adder Cell using CNFET technology," IEICE Trans. Electron. E95-c, No. 4, pp. 744–751, 2012.

[14] M.H. Moayeri, R. Faghih Mirzaee, K. Navi, A. Momeni, "Design and analysis of high-performance CNFET-based Full Adder," Int.J. Electron. 99, No.1, pp.113-130, 2012.

[15] M.H. Ghadiry, A. Abd Manaf, M.T. Ahmadi, H. Sadeghi, N. Senejani, "Design and analysis of a new carbon nanotube full adder cell," J. Nanomater. Hindawi Publishing Corporation, Vol. 2, No. 36, 2011.

[16] M.R. Taheri, N. Shafiee, F. Sharifi, M.H. Moaiyeri, K. Navi, N. Bagherzadeh, "Energy efficient hybrid full adder design for digital signal processing

in nanoelectronics," Analog Integrated Circuits and Signal Processing, **109**, 135–151 ,https://doi.org/10.1007/s10470-021-01831-0, 2021.

[17] J. Kumar Saini, A. Srinivasulu, R. Kumawat, "Fast and energy efficient full adder circuit using 14 CNFETs" Solid State Electronics Letters, Vol. 2, , Pages 67-78, https://doi.org/10.1016/j.ssel.2020.09.002, 2020.

[18] I. Hussain, S. Chaudhury, "Fast and High-Performing 1-Bit Full Adder Circuit Based on Input Switching Activity Patterns and Gate Diffusion Input Technique," Circuits, Systems, and Signal Processing, https://doi.org/10.1007/s00034-020-01550-3, 2020.

[19] J.F.Lin,Y.T.Hwang,M.H.Sheu,C.Ho,"A novel high speed and energy efficient 10 transistor Full adder design," IEEE Transaction on Circuits & Systems I, 54 (5) ,pp. 1050–1059, 2007.

[20] Deng, J.; Philip Wong, H.-S. :A Compact SPICE for carbon-nanotube field-effect transistor including nonidealities and its application—Part I: Model of the intrinsic channel region. IEEE Trans. Electron Devices, vol. 54, no. 12, pp. 3184-3194, 2007.

[21] Deng, J.; Wong, H.-S.P. :A compact SPICE model for carbon nanotube field-effect transistors including non idealities and its application—Part II: Full device model and circuit performance benchmarking. IEEE Transactions on Electron Devices Society, Vol.54, No. 12, pp. 3195-3205, 2007.

زیرنویس ها

[1] Arithmetic Circuit

[2] Reduced Instruction Set Computer (RISC)

[3] Full Adder Cell

[4] Metal Oxide Semiconductor Field Effect Transistor

[5] Carbon Nanotube Field Effect Transistor

[6] Full Swing